

29.10.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

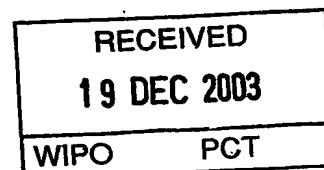
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 6月16日

出 願 番 号  
Application Number: 特願2003-170376  
[ST. 10/C]: [JP2003-170376]

出 願 人  
Applicant(s): カシオ計算機株式会社

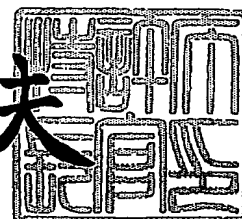


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年12月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 03-0837-00

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 03/20 623  
G05F 03/26  
G09F 09/30 365

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子研究所内

【氏名】 白 崎 友 之

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5  
カシオ計算機株式会社 八王子研究所内

【氏名】 両 澤 克 彦

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代表者】 桒 尾 和 雄

【代理人】

【識別番号】 100096699

【弁理士】

【氏名又は名称】 鹿 嶋 英 實

【手数料の表示】

【予納台帳番号】 021267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流駆動回路及びその制御方法並びに該電流駆動回路を備えた表示装置

【特許請求の範囲】

【請求項 1】 負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路において、

少なくとも、

複数ビットのデジタル信号を保持する信号保持手段と、

定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記負荷に供給する駆動電流生成手段と、

前記負荷に特定電圧を印加して、少なくとも該負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化する特定状態設定手段と、

を備えていることを特徴とする電流駆動回路。

【請求項 2】 前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記負荷を初期化するための前記特定電圧を印加する特定電圧印加部と、

を備えていることを特徴とする請求項 1 記載の電流駆動回路。

【請求項 3】 前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項 1 又は 2 記載の電流駆動回路。

【請求項 4】 前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項 1 乃至 3 のいづ

れかに記載の電流駆動回路。

【請求項 5】 前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項 4 記載の電流駆動回路。

【請求項 6】 前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率に設定されていることを特徴とする請求項 5 記載の電流駆動回路。

【請求項 7】 前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、

前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、

を備えていることを特徴とする請求項 1 記載の電流駆動回路。

【請求項 8】 前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷側から引き込む方向に流すように設定することを特徴とする請求項 1 乃至 7 のいずれかに記載の電流駆動回路。

【請求項 9】 前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷に流し込む方向に流すように設定することを特徴とする請求項 1 乃至 7 のいずれかに記載の電流駆動回路。

【請求項 10】 前記負荷は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 1 乃至 9 のいずれかに記載の電流駆動回路。

【請求項 11】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 10 記載の電流駆動回路。

【請求項 12】 負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路の制御方法において、

定電流源から供給される基準電流に基づいて、前記負荷の駆動状態を設定する複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステ

ップと、

前記デジタル信号の各ビット値に応じて、前記複数の単位電流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、

前記負荷に前記駆動電流を供給するステップに先立って、前記負荷に特定電圧を印加して、前記負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化するステップと、  
を含むことを特徴とする電流駆動回路の制御方法。

【請求項 13】 前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記単位電流の各々が全て非選択となる状態を判定し、該判定結果に基づいて実行されることを特徴とする請求項 12 記載の電流駆動回路の制御方法。

【請求項 14】 前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項 12 又は 13 のいずれかに記載の電流駆動回路の制御方法。

【請求項 15】 前記複数の単位電流の電流値は、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率を有するように設定されていることを特徴とする請求項 14 記載の電流駆動回路の制御方法。

【請求項 16】 前記負荷に前記駆動電流を供給するステップにおいて、前記複数ビットのデジタル信号は連続的に供給され、先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返し実行することを特徴とする請求項 12 乃至 15 のいずれかに記載の電流駆動回路の制御方法。

【請求項 17】 前記複数の単位電流を生成するステップは、  
前記基準電流の電流成分に応じた電荷量を保持容量に蓄積するステップと、  
前記保持容量に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、  
を含むことを特徴とする請求項 12 乃至 16 のいずれかに記載の電流駆動回路の制御方法。

【請求項 18】 前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設定されていることを特徴とする請求項 12 乃至 17 のいずれかに記載の電流駆動回路の制御方法。

【請求項 19】 前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする請求項 12 乃至 17 のいずれかに記載の電流駆動回路の制御方法。

【請求項 20】 前記複数の負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 12 乃至 19 いずれかに記載の電流駆動回路の制御方法。

【請求項 21】 少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

前記信号駆動手段は、少なくとも、

前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、  
定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記表示画素に供給する駆動電流生成手段と、

前記複数の表示画素に特定電圧を印加して、少なくとも該表示画素に付加された容量成分に蓄積された電荷を放電して、前記表示画素を所定の低電位状態に初期化する特定状態設定手段と、

を有する電流駆動回路を複数具備することを特徴とする表示装置。

【請求項 22】 前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、

前記デジタル値判定部による判定結果に基づいて、前記表示画素を初期化するための前記特定電圧を印加する特定電圧印加部と、  
を備えていることを特徴とする請求項 21 記載の表示装置。

【請求項 23】 前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする請求項 21 又は 22 記載の表示装置。

【請求項 24】 前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする請求項 21 乃至 23 のいずれかに記載の表示装置。

【請求項 25】 前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする請求項 24 記載の表示装置。

【請求項 26】 前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率に設定されていることを特徴とする請求項 25 記載の表示装置。

【請求項 27】 前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、

前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする請求項 21 記載の表示装置。

【請求項 28】 前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素側から引き込む方向に流すように設定することを特徴とする請求項 21 乃至 27 のいずれかに記載の表示装置。

【請求項 29】 前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素に流し込む方向に流すように設定することを特徴とする請求項 21 乃至 27 のいずれかに記載の表示装置。



【請求項 30】 前記信号駆動手段は、少なくとも、前記信号線の各々に対して 2 組の前記電流駆動回路を備え、

一方の前記電流駆動回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流駆動回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴とする請求項 21 乃至 29 のいずれかに記載の表示装置。

【請求項 31】 前記表示画素は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする請求項 21 乃至 30 のいずれかに記載の表示装置。

【請求項 32】 少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、

前記表示画素は、少なくとも、

前記駆動電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて所定の電流値を有する発光駆動電流を生成する発光駆動手段と、特定電圧を印加することにより、少なくとも前記電荷蓄積手段に蓄積された電荷を放電して、該表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路と、

前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、

を具備することを特徴とする表示装置。

【請求項 33】 前記電流駆動回路は、前記発光駆動電流の信号極性を、前

記発光素子素側から引き込む方向に流すように設定することを特徴とする請求項 32 記載の表示装置。

【請求項 34】 前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子に流し込む方向に流すように設定することを特徴とする請求項 32 記載の表示装置。

【請求項 35】 前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする請求項 31 乃至 34 のいずれかに記載の表示装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、電流駆動回路及びその制御方法並びに該電流駆動回路を備えた表示装置に関し、特に、画像表示信号（表示データ）に応じた電流を供給することにより所定の輝度階調で発光動作する電流駆動型（又は、電流指定型）の発光素子を備えた表示パネルに適用可能な電流駆動回路及びその制御方法、並びに、該電流駆動回路を備えた表示装置に関する。

##### 【0002】

#### 【従来の技術】

近年、パーソナルコンピュータや映像機器のモニタやディスプレイとして、液晶表示装置（LCD）等の陰極線管（CRT）に替わる表示装置や表示デバイスの普及が著しい。特に、液晶表示装置は、旧来の表示装置（CRT）に比較して、薄型軽量化、省スペース化、低消費電力化等が可能であるため、急速に普及している。また、比較的小型の液晶表示装置は、近年普及が著しい携帯電話やデジタルカメラ、携帯情報端末（PDA）等の表示デバイスとしても広く適用されている。

##### 【0003】

このような液晶表示装置に続く次世代の表示デバイス（ディスプレイ）として、有機エレクトロルミネッセンス素子（以下、「有機EL素子」と略記する）や無機エレクトロルミネッセンス素子（以下、「無機EL素子」と略記する）、あるいは、発光ダイオード（LED）等のような自己発光型の光学要素（発光素子

）を、マトリクス状に配列した表示パネルを備えた発光素子型のディスプレイ（表示装置）の本格的な実用化が期待されている。

#### 【0004】

このような発光素子型ディスプレイ（特に、アクティブマトリックス駆動方式を適用した発光素子型ディスプレイ）においては、液晶表示装置に比較して、表示応答速度が速く、視野角依存性もなく、また、高輝度・高コントラスト化、表示画質の高精細化、低消費電力化等が可能であるとともに、液晶表示装置のようにバックライトを必要としないので、一層の薄型軽量化が可能であるという極めて優位な特徴を有している。

#### 【0005】

このようなディスプレイの一例は、概略、行方向に配設された走査ラインと列方向に配設されたデータラインの各交点近傍に発光素子を含む表示画素が配列された表示パネルと、画像表示信号（表示データ）に応じた階調電流を生成して、データラインを介して各表示画素に供給するデータドライバと、所定のタイミングで走査信号を順次印加して特定の行の表示画素を選択状態にする走査ドライバと、を備え、各表示画素に供給された上記階調電流により、各発光素子が表示データに応じた所定の輝度階調で発光動作して、所望の画像情報が表示パネルに表示される。なお、発光素子型のディスプレイの具体例については、後述する発明の実施の形態において、詳しく説明する。

#### 【0006】

ここで、上記ディスプレイにおける表示駆動動作としては、走査ドライバにより選択された特定の行の表示画素（発光素子）に対して、データドライバにより印加する階調信号電圧の電圧値を、表示データに応じて調整することにより、各発光素子に流す発光駆動電流の電流値を制御して、所定の輝度階調で発光動作させる電圧指定型の駆動方式や、データドライバにより供給する駆動電流（階調電流）の電流値を調整することにより、各発光素子に流す発光駆動電流の電流値を制御する電流指定型の駆動方式、あるいは、データドライバにより一定の電流値の駆動電流を供給する時間幅（信号幅）を、表示データに応じて調整することにより、各発光素子を所定の輝度階調で発光させるパルス幅変調（PWM）型の駆

動方式等が知られている。

#### 【0007】

このような表示駆動方式のうち、電圧指定型の駆動方式においては、各表示画素において階調信号電圧の電圧成分を電流成分に変換する画素駆動回路を備える必要があるが、この画素駆動回路を構成する能動素子（薄膜トランジスタ等）の特性は外的環境や経時変化による影響を受けやすく、そのため、発光駆動電流の電流値の変動が大きくなり、長期間にわたり安定的に所望の発光特性を得ることが困難であるという問題があるのに対して、表示画素に供給する駆動電流の電流値を調整する電流指定型の駆動方式においては、このような素子特性の変動を抑制することができるという優位性を有している。なお、電流指定型の駆動方式に適用される画素駆動回路の構成例については、詳しく後述する。

#### 【0008】

そして、このような電流指定型の駆動方式を採用したディスプレイに適用されるデータドライバの具体的な構成としては、例えば、図18に示すように、電流路の一端側（エミッタ）が電源端子 $TM_p$ に接続されるとともに、電流路の他端側（コレクタ）が基準電流入力端子 $TM_r$ に接続されたトランジスタ $TP_r$ と、電流路の一端側（エミッタ）が共通電源ライン $L_p$ を介して上記電源端子 $TM_p$ に共通に接続されるとともに、電流路の他端側（コレクタ）が個別の出力端子 $OUT_1$ 、 $OUT_2$ 、 $\dots$ 、 $OUT_m$ に接続され、かつ、各制御端子（ベース）が上記トランジスタ $TP_r$ の制御端子（ベース）に並列的に接続された複数のトランジスタ $TP_1$ 、 $TP_2$ 、 $\dots$ 、 $TP_m$ からなるカレントミラー回路を基本構成として備えた定電流駆動回路を良好に適用することができる。

#### 【0009】

このようなデータドライバにおいては、トランジスタ $TP_r$ に流れる基準電流 $I_r$ に応じて、複数のトランジスタ $TP_1$ 、 $TP_2$ 、 $\dots$ 、 $TP_m$ に流れる一定の電流値を有する駆動電流 $IP_1$ 、 $IP_2$ 、 $\dots$ 、 $IP_m$ を個別の出力端子 $OUT_1$ 、 $OUT_2$ 、 $\dots$ 、 $OUT_m$ を介して（もしくは、図示を省略した出力回路をさらに介して）、図示を省略した表示パネルを構成する複数の表示画素に一括して供給することにより、表示画素（発光素子）を発光動作させることができる。

。なお、図18に示したようなデータドライバ（定電流駆動回路）については、例えば、特許文献1等に、その基本構成や、出力電流間のバラツキを改善した構成が記載されている。

#### 【0010】

また、データドライバの他の構成としては、例えば、図19に示すように、表示データに応じた電流値を有する電流を生成、出力する電流源PIに共通の電流供給ラインLiを介して接続された複数のラッチ回路LT1、LT2、・・・LTmと、該各ラッチ回路LT1、LT2、・・・LTmに対応して設けられた出力回路DO1、DO2、・・・DOmとを備えたものを良好に適用することができる。

#### 【0011】

このようなデータドライバにおいては、電流源PIから出力される表示データに応じた電流Idtを、時系列的に入力されるラッチ制御信号SL1、SL2、・・・SLmに基づいて、ラッチ回路LT1、LT2、・・・LTmに順次保持し、所定のタイミングで入力される出力イネーブル信号Senに基づいて、出力回路DO1、DO2、・・・DOmから個別の出力端子OUT1、OUT2、・・・OUTmを介して、各ラッチ回路LT1、LT2、・・・LTmに保持された電流Idtに基づく駆動電流ID1、ID2、・・・IDmを、表示パネルを構成する複数の表示画素に一括して供給する。ここで、図19においては、複数のラッチ回路及び出力回路からなる構成を一組のみ示したが、このような構成を二組設けて、一方のラッチ回路群に電流を順次保持している期間に、他方のラッチ回路群に保持された電流を出力するようにした構成を適用するものであってもよい。

#### 【0012】

なお、図18、図19に示した従来技術においては、データドライバにより生成された駆動電流をデータドライバ側から表示パネル（表示画素）側に、流し込む方向に供給する場合について説明したが、上記特許文献1にも示されているように、データドライバにより生成された駆動電流を表示パネル（表示画素）側からデータドライバ側に、引き込む方向に供給するものも知られている。

#### 【0013】

**【特許文献1】**

特開 2002-202823 号公報 （第 3 頁、図 2、図 15）

**【0014】****【発明が解決しようとする課題】**

しかしながら、上述したような発光素子型ディスプレイにおいては、以下に示すような問題を有していた。

（1）すなわち、データドライバにより表示データに応じた駆動電流（階調電流）を表示画素ごとに生成し、出力端子に接続された各データラインを介して、特定行の各表示画素に一括して供給する従来の構成及び駆動制御方法においては、上記駆動電流が、表示データに対応して変化するとともに、各表示画素（データライン）に対応してデータドライバに個別に設けられたトランジスタやラッチ回路等の回路構成に、電流源から共通の電流供給ラインを介して供給される電流も変化することになる。

**【0015】**

一般に、信号配線には寄生容量（配線容量）が存在するため、上述したようなデータラインや電流供給ラインを介して所定の電流を供給する動作は、当該信号配線（データライン、電流供給ライン）に存在する寄生容量を所定の電位まで充電、あるいは、放電することに相当する。そのため、データラインや電流供給ラインを介して供給される電流が微少である場合には、データラインや電流供給ラインへの充放電動作に時間を要し、当該信号ラインの電位が安定するまでに所定の（ある程度の）時間を要することになる。

**【0016】**

一方、データドライバにおける動作は、データライン数（すなわち、表示画素数）が増加するほど、各データラインにおける電流の保持、供給動作等に割り当てられる動作期間が短くなって高速な動作を要求されるが、上述したようにデータラインや電流供給ラインへの充放電動作にある程度の時間を要するため、この充放電動作の速度に起因してデータドライバの動作速度が律速されてしまうという問題を有していた。すなわち、表示パネルの小型化や高精細化（高解像度化）等に伴って、データラインを介して供給される駆動電流の電流値が小さくなるほ

ど、データドライバの動作速度（又は、動作期間）が制約されることになり、良好な画像表示動作を実現することが困難になるという問題を有していた。

#### 【0017】

(2) また、上述したような電流指定型の駆動方式を採用した表示装置においては、データライン等への充放電動作に伴って、データライン等に付加された配線容量（寄生容量）や、発光素子の発光状態を保持するために表示画素に設けられた保持容量等の容量成分に、上記駆動電流に応じた電荷が蓄積されることになるが、表示画素（発光素子）を異なる輝度階調で連続的に発光動作させる場合には、表示データに応じた適切な輝度階調で発光動作させるために、先のタイミングにおける発光動作の際に、上記容量成分に蓄積された電荷を十分引き抜く（放電する）必要がある。一般に、この蓄積電荷の引き抜き動作は、表示画素（発光素子）等を介した自然放電により行われている。

#### 【0018】

しかしながら、表示パネルに付加された容量成分が大きい場合には、各発光動作の際に蓄積される電荷量が大きくなり、低輝度階調に相当する駆動電流を指定して表示画素に書き込んだ場合（特に、最高輝度階調（あるいは、比較的高い輝度階調）から最低輝度階調（あるいは、比較的低い輝度階調）での発光状態へ表示状態を変化させた場合）等に、表示画素の選択期間（駆動電流の供給動作に割り当てられる期間）内で上述した蓄積電荷の引き抜きが十分行われず、残留電荷の影響により本来の表示データに応じた輝度階調が得られなくなり、表示階調特性の劣化が生じるという問題を有していた。

#### 【0019】

そこで、本発明は、上述した課題に鑑み、発光素子を電流指定方式で発光制御するディスプレイにおいて、表示画素に供給される階調電流が微少な場合であっても、該階調電流を生成する動作を迅速に実行することができるとともに、表示データに対応した適切な電流値の階調電流を生成することができ、かつ、適切な輝度階調で表示画素を発光動作させることができる電流駆動回路及びその制御方法を提供し、以て、表示応答特性及び表示画質の向上を図ることができる表示装置を提供することを目的とする。

## 【0020】

## 【課題を解決するための手段】

請求項1記載の電流駆動回路は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路において、少なくとも、複数ビットのデジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記負荷に供給する駆動電流生成手段と、前記負荷に特定電圧を印加して、少なくとも該負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化する特定状態設定手段と、を備えていることを特徴とする。

## 【0021】

請求項2記載の電流駆動回路は、請求項1記載の電流駆動回路において、前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記負荷を初期化するための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする。

請求項3記載の電流駆動回路は、請求項1又は2記載の電流駆動回路において、前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

## 【0022】

請求項4記載の電流駆動回路は、請求項1乃至3のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

請求項5記載の電流駆動回路は、請求項4記載の電流駆動回路において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成さ



れていることを特徴とする。

#### 【0023】

請求項6記載の電流駆動回路は、請求項5記載の電流駆動回路において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャネル幅が、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率に設定されていることを特徴とする。

請求項7記載の電流駆動回路は、請求項1記載の電流駆動回路において、前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

請求項8記載の電流駆動回路は、請求項1乃至7のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷側から引き込む方向に流すように設定することを特徴とする。

#### 【0024】

請求項9記載の電流駆動回路は、請求項1乃至7のいずれかに記載の電流駆動回路において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記負荷に流し込む方向に流すように設定することを特徴とする。

請求項10記載の電流駆動回路は、請求項1乃至9のいずれかに記載の電流駆動回路において、前記負荷は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

請求項11記載の電流駆動回路は、請求項10記載の電流駆動回路において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

#### 【0025】

請求項12記載の電流駆動回路の制御方法は、負荷に所定の電流値を有する駆動電流を供給して、該負荷を所望の駆動状態で動作させる電流駆動回路の制御方法において、定電流源から供給される基準電流に基づいて、前記負荷の駆動状態を設定する複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成するステップと、前記デジタル信号の各ビット値に応じて、前記複数の単位電

流を選択的に合成し、前記駆動電流として前記負荷に供給するステップと、前記負荷に前記駆動電流を供給するステップに先立って、前記負荷に特定電圧を印加して、前記負荷に付加された容量成分に蓄積された電荷を放電して、前記負荷を所定の低電位状態に初期化するステップと、を含むことを特徴とする。

#### 【0026】

請求項13記載の電流駆動回路の制御方法は、請求項12記載の電流駆動回路の制御方法において、前記特定電圧を前記負荷に対して印加するステップは、前記デジタル信号の各ビット値が前記単位電流の各々が全て非選択となる状態を判定し、該判定結果に基づいて実行されることを特徴とする。

請求項14記載の電流駆動回路の制御方法は、請求項12又は13のいずれかに記載の電流駆動回路の制御方法において、前記複数の単位電流は、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

#### 【0027】

請求項15記載の電流駆動回路の制御方法は、請求項14記載の電流駆動回路の制御方法において、前記複数の単位電流の電流値は、前記基準電流に対して、互いに $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率を有するように設定されていることを特徴とする。

請求項16記載の電流駆動回路の制御方法は、請求項12乃至15のいずれかに記載の電流駆動回路の制御方法において、前記負荷に前記駆動電流を供給するステップにおいて、前記複数ビットのデジタル信号は連続的に供給され、先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記負荷に供給する動作期間中に、次の前記複数ビットのデジタル信号を保持する動作を順次繰り返し実行することを特徴とする。

#### 【0028】

請求項17記載の電流駆動回路の制御方法は、前記複数の単位電流を生成するステップは、前記基準電流の電流成分に応じた電荷量を保持容量に蓄積するステップと、前記保持容量に蓄積された電荷量に応じた電圧成分に基づいて、前記複数の単位電流を生成するステップと、を含むことを特徴とする。

請求項 18 記載の電流駆動回路の制御方法は、請求項 12 乃至 17 のいずれかに記載の電流駆動回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷から引き込む方向に流れるように設定されていることを特徴とする。

#### 【0029】

請求項 19 記載の電流駆動回路の制御方法は、請求項 12 乃至 17 のいずれかに記載の電流駆動回路の制御方法において、前記駆動電流の信号極性は、前記駆動電流が前記負荷に流し込む方向に流れるように設定されていることを特徴とする。

請求項 20 記載の電流駆動回路の制御方法は、請求項 12 乃至 19 いずれかに記載の電流駆動回路の制御方法において、前記複数の負荷は、前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

#### 【0030】

請求項 21 記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記信号駆動手段は、少なくとも、前記表示信号に基づく複数ビットのデジタル信号を保持する信号保持手段と、定電流源から供給される基準電流に基づいて、前記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、前記信号保持手段に保持された前記デジタル信号の各ビット値に応じて、前記単位電流を選択的に合成し、前記駆動電流として前記表示画素に供給する駆動電流生成手段と、前記複数の表示画素に特定電圧を印加して、少なくとも該表示画素に付加された容量成分に蓄積された電荷を放電して、前記表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路を

複数具備することを特徴とする。

#### 【0031】

請求項 22 記載の表示装置は、請求項 21 記載の表示装置において、前記特定状態設定手段は、前記デジタル信号に応じて前記単位電流の各々が全て非選択となる状態を判定するデジタル値判定部と、前記デジタル値判定部による判定結果に基づいて、前記表示画素を初期化するための前記特定電圧を印加する特定電圧印加部と、を備えていることを特徴とする。

請求項 23 記載の表示装置は、請求項 21 又は 22 記載の表示装置において、前記駆動電流生成手段は、前記基準電流が流れる基準電流トランジスタと、前記各単位電流が流れる複数の単位電流トランジスタと、を具備し、前記基準電流トランジスタと前記複数の単位電流トランジスタとは、カレントミラー回路を構成していることを特徴とする。

#### 【0032】

請求項 24 記載の表示装置は、請求項 21 乃至 23 のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記複数の単位電流が、前記複数ビットのデジタル信号の各々に対応して、前記基準電流に対して各々異なる比率の電流値を有するように設定されていることを特徴とする。

請求項 25 記載の表示装置は、請求項 24 記載の表示装置において、前記複数の単位電流トランジスタは、トランジスタサイズが各々異なるように形成されていることを特徴とする。

#### 【0033】

請求項 26 記載の表示装置は、請求項 25 記載の表示装置において、前記複数の単位電流トランジスタは、該各単位電流トランジスタの各チャンネル幅が、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots$ ) で規定される、異なる比率に設定されていることを特徴とする。

請求項 27 記載の表示装置は、請求項 21 記載の表示装置において、前記駆動電流生成手段は、前記基準電流の電流成分に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて前記複数の単位電流を生成する手段と、を備えていることを特徴とする。

## 【0034】

請求項28記載の表示装置は、請求項21乃至27のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素側から引き込む方向に流すように設定することを特徴とする。

請求項29記載の表示装置は、請求項21乃至27のいずれかに記載の表示装置において、前記駆動電流生成手段は、前記駆動電流の信号極性を、前記表示画素に流し込む方向に流すように設定することを特徴とする。

## 【0035】

請求項30記載の表示装置は、請求項21乃至29のいずれかに記載の表示装置において、前記信号駆動手段は、少なくとも、前記信号線の各々に対して2組の前記電流駆動回路を備え、一方の前記電流駆動回路において先に保持した前記複数ビットのデジタル信号に基づく前記駆動電流を前記表示画素に供給する動作期間中に、他方の前記電流駆動回路において次の前記複数ビットのデジタル信号を保持する動作を、交互に順次繰り返し実行することを特徴とする。

請求項31記載の表示装置は、請求項21乃至30のいずれかに記載の表示装置において、前記表示画素は、前記駆動電流生成手段から供給される前記駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子を備えていることを特徴とする。

## 【0036】

請求項32記載の表示装置は、少なくとも、複数の走査線及び複数の信号線が相互に直交するように配設され、該走査線及び該信号線の交点に複数の表示画素がマトリクス状に配列された表示パネルと、前記各表示画素を行単位で選択状態にするための走査信号を前記走査線に印加する走査駆動手段と、表示信号に基づく駆動電流を、前記信号線を介して前記各表示画素に供給する信号駆動手段と、を備え、選択状態にある前記表示画素に対して、所定の電流値を有する前記駆動電流を供給することにより、前記表示パネルに所望の画像情報を表示する表示装置において、前記表示画素は、少なくとも、前記駆動電流の電流値に応じた電荷を蓄積する電荷蓄積手段と、前記電荷蓄積手段に保持された電荷量に基づいて所定の電流値を有する発光駆動電流を生成する発光駆動手段と、特定電圧を印加す

ることにより、少なくとも前記電荷蓄積手段に蓄積された電荷を放電して、該表示画素を所定の低電位状態に初期化する特定状態設定手段と、を有する電流駆動回路と、前記発光駆動電流の電流値に応じて、所定の輝度階調で発光動作する電流駆動型の発光素子と、を具備することを特徴とする。

#### 【0037】

請求項33記載の表示装置は、請求項32記載の表示装置において、前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子素側から引き込む方向に流すように設定することを特徴とする。

請求項34記載の表示装置は、請求項32記載の表示装置において、前記電流駆動回路は、前記発光駆動電流の信号極性を、前記発光素子に流し込む方向に流すように設定することを特徴とする。

請求項35記載の表示装置は、請求項31乃至34のいずれかに記載の表示装置において、前記発光素子は、有機エレクトロルミネッセント素子であることを特徴とする。

#### 【0038】

すなわち、本発明に係る電流駆動回路及びその制御方法は、有機EL素子や発光ダイオード等のように、電流値に応じて所定の駆動状態（発光輝度）で動作する負荷（表示画素、発光素子）に対して、所定の電流値を有する負荷駆動電流（階調電流、発光駆動電流）を個別に供給する電流駆動回路であって、負荷の駆動状態を設定する負荷制御信号（複数ビットのデジタル信号、階調電流）を保持する手段（信号保持手段、電荷蓄積手段）と、該制御信号に対応した電流値を有する負荷駆動電流（階調電流、発光駆動電流）を生成して出力する手段（駆動電流生成手段）と、少なくとも、負荷に付加された容量成分（寄生容量、保持容量）に蓄積された電荷を放電する手段（特定状態設定手段）と、を備え、上記駆動電流生成手段により制御信号に基づいて生成された負荷駆動電流を負荷に出力する動作に先立って、負荷に付加された容量成分に蓄積された電荷を放電して、例えば、負荷に電荷が蓄積されていない状態に設定（初期化、リセット）するように構成されている。

#### 【0039】

ここで、上記制御信号の保持手段（信号保持手段）は、例えば、負荷の駆動状態を設定する複数ビットのデジタル信号を並列的に取り込んで保持し、駆動電流生成手段は、定電流源から供給される基準電流に基づいて、上記複数ビットのデジタル信号の各ビットに対応する複数の単位電流を生成し、保持されたデジタル信号の各ビット値に応じて、各単位電流を選択的に合成することにより所定の電流値を有する負荷駆動電流を生成して負荷に供給する。

#### 【0040】

なお、駆動電流生成手段は、上記基準電流が流れる基準電流トランジスタと、上記複数の単位電流が各々流れる複数の単位電流トランジスタと、を具備したカレントミラー回路構成を適用することができ、特に、複数の単位電流トランジスタの各チャネル幅が相互に異なるように設定することにより、一定の基準電流に対して各々異なる比率の電流値を有する複数の単位電流が生成される回路構成を適用することができる。

#### 【0041】

これにより、負荷に直接駆動電流を供給する電流駆動回路において、一定の基準電流、及び、複数ビットのデジタル信号に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する負荷駆動電流を生成することができるとともに、負荷駆動電流の生成に関連して供給される制御信号（デジタル信号及び基準電流）が電位変動をほとんど生じることがないので、負荷駆動電流の電流値が微少な場合や、負荷への負荷駆動電流の供給時間が短い場合であっても、上記制御信号を供給する信号線に付加する配線容量（寄生容量）への充放電動作に起因する信号遅延の影響を排除することができ、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

#### 【0042】

また、上記特定状態設定手段は、複数ビットのデジタル信号による単位電流の各々が全て非選択となる状態（駆動電流が生成されない状態）を判定して、上記信号保持手段における複数ビットのデジタル信号の保持動作、及び、駆動電流生成手段における該デジタル信号に応じた負荷駆動電流の生成、供給動作に先立つタイミングで、負荷及負荷に負荷駆動電流を供給する駆動電流供給線に対して、

所定の低電位からなる特定電圧を印加して、配線容量や負荷に設けられた保持容量等の容量成分に蓄積された電荷を放電して初期化（リセット）するように制御する。

#### 【0043】

これにより、負荷に負荷駆動電流を供給するタイミングに先立って、駆動電流供給線や負荷の電位が一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させる場合や、負荷駆動電流の供給時間が短く設定されている場合であっても、配線容量や保持容量等の容量成分に蓄積された電荷の影響を排除して、駆動電流供給線や負荷の信号レベルを迅速に、負荷駆動電流に応じた適切な電位に安定化させることができ、負荷を適切な駆動状態で動作させることができる。

なお、特定状態設定手段は、上述したような複数ビットのデジタル信号からなる制御信号に限らず、コントローラ等により直接制御信号を供給して、負荷及駆動電流供給線に対して、特定電圧を印加して容量成分に蓄積された電荷を放電するようにすることもできる。

#### 【0044】

そして、本発明に係る表示装置においては、相互に直交する走査ライン（走査線）及びデータライン（信号線）の交点近傍に、発光素子を備えた表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流駆動回路をデータドライバ（信号駆動手段）に適用し、表示パネルの所定の行に配列された表示画素群の選択期間に、上記信号保持手段に保持した複数ビットのデジタル信号（表示データ）に基づいて階調電流生成回路（駆動電流生成手段）において生成された特定の単位電流の合成電流を、階調電流（負荷駆動電流）として表示画素に供給する電流生成供給動作に先立って、データライン及び表示画素に対して所定の低電位からなるリセット電圧（特定電圧）を印加して、該データラインや表示画素に残留する電荷を放電して低電位状態に初期化（リセット）するように構成されている。

#### 【0045】

これにより、階調電流生成回路により表示画素に供給される階調電流が、一定



の基準電流、及び、複数ビットのデジタル信号に基づいて生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合（階調電流の電流値が微少な場合）や、表示パネルの高精細化等に伴って表示画素への階調電流の供給時間（選択時間）が短く設定されている場合であっても、階調電流の生成に関連してデータドライバ（階調電流生成回路）に供給される信号による、データライン等への充放電動作に起因する伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

#### 【0046】

また、この場合、各表示画素への階調電流の供給動作に先立って、各データラインに一定の低電圧からなるリセット電圧（特定電圧）を印加して、データラインに付加された配線容量（寄生容量）や表示画素の保持容量等の容量成分に蓄積された電荷を充分放電することができるので、新たな表示データに基づく階調電流を書き込む場合（特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素の選択期間が短く設定されている場合であっても）、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮して表示画素への書込速度を高めて、表示装置の表示応答特性及び表示画質を向上させることができる。

#### 【0047】

なお、本発明に係る表示装置においては、表示画素が接続された各列のデータラインごとに2組の階調電流生成回路（電流駆動回路）を備え、該2組の階調電流生成回路を交互に選択状態に設定して、一方の階調電流生成回路から所定の行の表示画素群に階調電流を供給する動作を実行しつつ、並行して、他方の階調電流生成回路において、次の行の表示画素に対応した表示データ（複数ビットのデジタル信号）を取り込み保持する動作を実行するように構成したものであってもよい。これによれば、特定の行の表示画素に階調電流を供給する動作と、次行の表示画素に供給する階調電流を生成するための表示データを取り込む動作を、2組の階調電流生成回路により交互に繰り返し実行することにより、各行の表示画素に対して連続的に階調電流を生成して供給することができるので、実質的にデ

ータドライバの動作速度を向上させて、表示装置の画質の向上を図ることができる。

#### 【0048】

また、本発明に係る表示装置においては、上述したような電流駆動回路の技術思想、すなわち、駆動電流を負荷に供給する動作に先立って、特定電圧を印加することにより、駆動電流供給線（データライン）や負荷に付加された容量成分に残留する電荷を所定の低電位電源（接地電位）に放電するという概念を、表示画素（画素駆動回路）に適用し、表示画素に設けられた保持容量に蓄積された電荷を、リセット電圧を印加することにより放電するスイッチ手段（特定状態設定手段）を備え、データドライバから表示データに応じた階調電流を、データラインを介して表示画素に供給する書込動作に先立って、上記スイッチ手段を制御して、残留電荷を接地電位に放電するように構成されている。

#### 【0049】

これにより、表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、発光素子に供給する発光駆動電流（駆動電流）を表示データに応じた適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特性を向上させることができるとともに、各表示画素を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

#### 【0050】

##### 【発明の実施の形態】

以下、本発明に係る電流駆動回路及びその制御方法並びに電流駆動回路を備えた表示装置について、実施の形態を示して詳しく説明する。

##### <電流駆動回路の第1の実施形態>

まず、本発明に係る電流駆動回路及びその制御方法について、図面を参照して説明する。

図1は、本発明に係る電流駆動回路の第1の実施形態を示す概略構成図である

## 【0051】

図1(a)に示すように、本実施形態に係る電流駆動回路ISAは、電流値を指定するための複数ビットのデジタル信号（本実施形態においては、4ビットの場合を示す；負荷制御信号） $d_0$ 、 $d_1$ 、 $d_2$ 、 $d_3$ （ $d_0 \sim d_3$ ）を個別に取り込んで保持（ラッチ）するラッチ回路LC0、LC1、LC2、LC3（LC0～LC3）を備えたデータラッチ部（信号保持手段）10と、定電流発生源（定電流源）IRから供給される一定の電流値を有する基準電流 $I_{ref}$ を取り込み、上記データラッチ部10（各ラッチ回路LC0～LC3）から出力される出力信号（反転出力信号） $d_{10}^*$ 、 $d_{11}^*$ 、 $d_{12}^*$ 、 $d_{13}^*$ （ $d_{10}^* \sim d_{13}^*$ ；以下、本明細書中では、反転極性を示す記号を、便宜的に「\*」を用いて示す。図1(a)の符号参照）に基づいて、基準電流 $I_{ref}$ に対して所定比率の電流値を有する負荷駆動電流（駆動電流）IDを生成し、駆動電流供給線CLを介して図示を省略した負荷に出力する電流生成部（駆動電流生成手段）20Aと、上記データラッチ部10（各ラッチ回路LC0～LC3）から出力される出力信号（非反転出力信号） $d_{10} \sim d_{13}$ に基づいて、負荷（駆動電流供給線CL）に対して特定電圧 $V_{in}$ を印加する特定状態設定部（特定状態設定手段）30Aと、を有して構成されている。ここで、本実施形態においては、定電流発生源IRは、電流生成部20Aから基準電流 $I_{ref}$ を引き抜く方向に流すように、他端側が低電位電源（例えば、接地電位） $V_{gnd}$ に接続されている。

## 【0052】

なお、図1(a)に示したデータラッチ部10の構成は、本明細書においては、便宜的に図1(b)に示すような回路記号で表す。図1(b)において、 $IN_0 \sim IN_3$ は、各々、図1(a)に示した各ラッチ回路LC0～LC3の入力接点INを示し、 $OT_0 \sim OT_3$ は、各々、各ラッチ回路LC0～LC3の非反転出力接点OTを示し、 $OT_0^* \sim OT_3^*$ は、各々、各ラッチ回路LC0～LC3の反転出力接点 $OT^*$ を示す。

## 【0053】

以下、上記各構成について、具体的に説明する。

### (データラッチ部 10)

データラッチ部 10 は、図 1 に示すように、デジタル信号  $d_0 \sim d_3$  のビット数 (4 ビット) に応じた数のラッチ回路  $LC_0 \sim LC_3$  が並列に設けられた構成を有し、図示を省略したタイミングジェネレータやシフトレジスタ等から出力されるタイミング制御信号 (非反転クロック信号)  $CLK$ 、(反転クロック信号)  $CLK^*$  に基づいて、該タイミング制御信号  $CLK$  がハイレベル ( $CLK^*$  がローレベル) となるタイミングで、各々個別に供給される上記デジタル信号  $d_0 \sim d_3$  を同時に取り込み、タイミング制御信号  $CLK$  がローレベル ( $CLK^*$  がハイレベル) となるタイミングで、取り込んだデジタル信号  $d_0 \sim d_3$  に基づく信号レベル (非反転レベル及び反転レベル) を出力、保持する動作 (信号保持動作) を実行する。

### 【0054】

#### (電流生成部 20A)

図 2 は、本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路概念図である。

電流生成部 20A は、図 2 に示すように、基準電流  $I_{ref}$  に対して、各々、異なる比率の電流値を有する複数の単位電流  $I_{sa}$ 、 $I_{sb}$ 、 $I_{sc}$ 、 $I_{sd}$  ( $I_{sa} \sim I_{sd}$ ) を生成するカレントミラー回路部 21A と、上記複数の単位電流  $I_{sa} \sim I_{sd}$  のうち、上述したデータラッチ部 10 の各ラッチ回路  $LC_0 \sim LC_3$  から出力される出力信号 (反転出力信号)  $d_{10}^* \sim d_{13}^*$  (図 1 に示した反転出力接点  $OT_0^* \sim OT_3^*$  の信号レベル) に基づいて、任意の単位電流を選択するスイッチ回路部 22A と、を備えている。

### 【0055】

電流生成部 20A に適用されるカレントミラー回路部 21A は、具体的には、定電流発生源  $I_R$  から基準電流  $I_{ref}$  が供給される (引き抜かれる) 電流入力接点  $IN_i$  と高電位電源  $+V$  に接続された電源接点 (以下、「高電位電源  $+V$ 」と記す) との間に、電流路 (ソースドレイン端子) が接続されるとともに、制御端子 (ゲート端子) が接点  $N_{ga}$  に接続され、所定のチャネル幅を有する  $p$  チャネル型の電界効果型トランジスタ (以下、「 $p$  チャネル型トランジスタ」と略記す

る) からなる基準電流トランジスタ TP11 と、各接点 Na、Nb、Nc、Nd と高電位電源 +V との間に、各々、電流路が並列に接続されるとともに、各制御端子が上記接点 Nga に共通に接続され、各々所定のチャネル幅を有する p チャネル型トランジスタからなる単位電流トランジスタ TP12、TP13、TP14、TP15 と、を備えた構成を有している。ここで、接点 Nga は、電流入力接点 INi に直接接続されているとともに、容量 Ca を介して高電位電源 +V に接続されている。

なお、図 2 においては、カレントミラー回路部 21A を構成する各電界効果型トランジスタのトランジスタサイズの大小関係を、トランジスタの回路記号の幅を変えることで便宜的かつ概念的に示した。

#### 【0056】

また、電流生成部 20A に適用されるスイッチ回路部 22A は、負荷が接続される電流出力接点 OUTi と上記各接点 Na、Nb、Nc、Nd との間に電流路が接続されるとともに、制御端子に上記データラッチ部 10 の各ラッチ回路 LC0～LC3 から個別に出力される出力信号 d10\*～d13\* が並列的に印加される複数 (4 個) の p チャネル型トランジスタからなるスイッチトランジスタ TP16、TP17、TP18、TP19 と、を備えた構成を有している。

#### 【0057】

このような構成を有する電流生成部 20A において、特に、カレントミラー回路部 21A を構成する各単位電流トランジスタ TP12～TP15 に流れる単位電流 Isa～Isd が、基準電流トランジスタ TP11 に流れる基準電流 Iref に対して、各々異なる所定の比率の電流値を有するように設定されている。

具体的には、各単位電流トランジスタ TP12～TP15 のトランジスタサイズが、各々異なる比率、例えば、各単位電流トランジスタ TP12～TP15 を構成する電界効果型トランジスタにおいて、チャネル長を一定とした場合の各チャネル幅の比が、 $W12 : W13 : W14 : W15 = 1 : 2 : 4 : 8$  になるように形成されている。ここで、W12 は、単位電流トランジスタ TP12 のチャネル幅を示し、W13 は、単位電流トランジスタ TP13 のチャネル幅を示し、W14 は、単位電流トランジスタ TP14 のチャネル幅を示し、W15 は、単位電

流トランジスタ TP15 のチャネル幅を示す。

【0058】

これにより、各単位電流トランジスタ TP12～TP15 に流れる単位電流  $I_{sa} \sim I_{sd}$  の電流値は、基準電流トランジスタ TP11 のチャネル幅を  $W11$  とすると、各々  $I_{sa} = (W12/W11) \times I_{ref}$ 、 $I_{sb} = (W13/W11) \times I_{ref}$ 、 $I_{sc} = (W14/W11) \times I_{ref}$ 、 $I_{sd} = (W15/W11) \times I_{ref}$  に設定される。したがって、単位電流トランジスタ TP12～TP15 の各チャネル幅を、互いに  $2^k$  ( $k=0, 1, 2, 3, \dots; 2^k=1, 2, 4, 8, \dots$ ) の比率を有するように設定することにより、単位電流間の電流値を  $2^k$  で規定される比率に設定することができる。

【0059】

このように電流値が設定された各単位電流  $I_{sa} \sim I_{sd}$  から、後述するように、複数ビットのデジタル信号  $d_0 \sim d_3$  (すなわち、データラッチ部 10 からの出力信号  $d10^* \sim d13^*$ ) に基づいて、任意の単位電流を選択して合成することにより、 $2^k$  段階の電流値を有する負荷駆動電流  $I_D$  が生成される。したがって、図 1、図 2 に示したように、4 ビットのデジタル信号  $d_0 \sim d_3$  を適用した場合、各単位電流トランジスタ TP12～TP15 に接続されるスイッチトランジスタ TP16～TP19 のオン状態に応じて、 $2^4 = 16$  段階 (階調) の異なる電流値を有する負荷駆動電流  $I_D$  が生成される。

【0060】

すなわち、このような構成を有する電流生成部 20A においては、上記ラッチ回路 LC0～LC3 から出力される出力信号  $d10^* \sim d13^*$  の信号レベルに応じて、スイッチ回路部 22A のうちの、特定のスイッチトランジスタがオン動作 (スイッチトランジスタ TP16～TP19 のいずれか 1 つ以上がオン動作する場合のほか、いずれのスイッチトランジスタ TP16～TP19 もオフ動作する場合を含む) し、該オン動作したスイッチトランジスタに接続されたカレントミラー回路部 22A の単位電流トランジスタ (TP12～TP15 のいずれか 1 つ以上の組み合わせ) に、基準電流トランジスタ TP11 に流れる基準電流  $I_{ref}$  に対して、所定比率 ( $a \times 2^k$  倍;  $a$  は基準電流トランジスタ TP11 のチャ

ネル幅  $W_{11}$  により規定される定数) の電流値を有する単位電流  $I_{sa} \sim I_{sd}$  が流れ、上述したように、電流出力接点  $OUT_i$  において、これらの単位電流の合成値となる電流値を有する負荷駆動電流  $I_D$  が、高電位電源  $+V$  から、オン状態にあるスイッチトランジスタ ( $TP_{16} \sim TP_{19}$  のいずれか) に接続された単位電流トランジスタ ( $TP_{12} \sim TP_{15}$  のいずれか) 及び電流出力接点  $OUT_i$  を介して、図示を省略した負荷方向に流れる。

#### 【0061】

これにより、本実施形態に係る電流駆動回路  $ISA$  においては、タイミング制御信号  $CLK$ 、 $CLK^*$  により規定されるタイミングで、データラッチ部  $21A$  に入力される複数ビットのデジタル信号  $d_0 \sim d_3$  に応じて、電流生成部  $22A$  により所定の電流値を有するアナログ電流からなる負荷駆動電流  $I_D$  が生成されて、負荷  $LD$  に供給されることになる (本実施形態においては、上述したように、電流駆動回路側から負荷方向に負荷駆動電流が流し込まれる)。

#### 【0062】

(特定状態設定部  $30A$ )

また、特定状態設定部  $30A$  は、図 1 (a) に示すように、上記ラッチ回路  $LC_0 \sim LC_3$  の各々から出力される出力信号 (非反転出力信号)  $d_{10} \sim d_{13}$  を入力信号とする論理和演算回路 (デジタル値判定部; 以下、「OR 回路」と略記する)  $31$  と、該 OR 回路  $31$  からの出力端が制御端子 (ゲート) に、電流路の一端側が特定電圧 (リセット電圧)  $V_{in}$  を印加する電圧源に、他端側が駆動電流供給線  $CL$  (もしくは、上記電流生成部  $20A$  の電流出力接点  $OUT_i$ ) に、各々接続された p チャネル型トランジスタからなる特定電圧印加トランジスタ (特定電圧印加部)  $TP_{32}$  と、を備えた構成を有している。ここで、特定電圧印加トランジスタ  $TP_{32}$  を介して駆動電流供給線  $CL$  に印加される特定電圧  $V_{in}$  は、図示を省略した負荷を最低階調で動作させる場合に駆動電流供給線  $CL$  に印加される一定の低電圧、例えば、接地電位  $V_{gnd}$  ( $= 0V$ ) に設定されている。

#### 【0063】

そして、このような構成を有する特定状態設定部  $30A$  においては、OR 回路  $31$  により、上記ラッチ回路  $LC_0 \sim LC_3$  から出力される出力信号  $d_{10} \sim d_{13}$

13の信号レベルが全て“0”となる特定状態であるか否かが判別され、該特定状態においてのみ、特定電圧印加トランジスタTP32がオン動作して、駆動電流供給線CLを介して負荷に特定電圧（リセット電圧） $V_{in}$ が印加される。これにより、負荷及び駆動電流供給線CLに付加された容量成分に蓄積された電荷が接地電位に放電される。

#### 【0064】

なお、本実施形態においては、電流駆動回路に接続された負荷に対して、電流駆動回路側から負荷駆動電流を流し込むように構成した場合（以下、便宜的に、「電流印加方式」と記す）について示したが、本発明においては、負荷側から電流駆動回路方向に負荷駆動電流を引き込むように構成（以下、便宜的に、「電流シンク方式」と記す）したものであってもよい。以下、電流シンク方式に対応した電流駆動回路について、簡単に後述する。

#### 【0065】

##### <電流駆動回路の第2の実施形態>

図3は、本発明に係る電流駆動回路の第2の実施形態を示す概略構成図であり、図4は、本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路構成図である。ここで、上述した実施形態と同等の構成については、同一の符号を付して、その説明を簡略化する。

#### 【0066】

図3に示すように、本実施形態に係る電流駆動回路ISBは、上述した第1の実施形態（図1参照）と同等の構成を有するデータラッチ部10と、データラッチ部10（ラッチ回路LC0～LC3）の非反転出力端子に並列的に接続された電流生成部20B及特定状態設定部30Bと、を有して構成されている。ここで、本実施形態においては、電流生成部20Bに接続された定電流発生源IRは、電流生成部20Bに基準電流 $I_{ref}$ を流し込むように、他端側が高電位電源+Vに接続されている。

#### 【0067】

本実施形態に係る電流生成部20Bは、図4に示すように、概略、上述した実施形態（図2参照）と略同等の回路構成を有するカレントミラー回路部21B及



びスイッチ回路部 22B と、を備え、各ラッチ回路 LC0～LC3 からの出力信号（非反転出力信号）d10～d13 に基づいて、基準電流  $I_{ref}$  に対して、所定比率の電流値を有する複数の単位電流  $I_{sh}$ 、 $I_{si}$ 、 $I_{sj}$ 、 $I_{sk}$  を任意に選択、合成して生成される負荷駆動電流  $I_D$  を負荷に供給するように構成されている。

#### 【0068】

電流生成部 20B は、具体的には、カレントミラー回路部 21B 及びスイッチ回路部 22B を構成する全てのトランジスタ TN21～TN29 が n チャネル型からなり、基準電流トランジスタ TN21 は、電流路が電流入力接点  $IN_i$  と低電位電源  $V_{gnd}$  との間に接続されるとともに、制御端子が電流入力接点  $IN_i$  に接続された接点 Ngb に接続されている。接点 Ngb と低電位電源  $V_{gnd}$  との間には容量  $C_b$  が接続されている。また、単位電流トランジスタ TN22～TN25 は、各々、電流路が接点 Nh、Ni、Nj、Nk と低電位電源  $V_{gnd}$  との間に接続されるとともに、制御端子が接点 Ngb に共通に接続され、また、スイッチング用のトランジスタ TN26～TN29 は、各々、電流路が上記接点 Nh、Ni、Nj、Nk と電流出力接点  $OUT_i$  との間に接続されるとともに、制御端子にデータラッチ部 10（ラッチ回路 LC0～LC3）から出力される出力信号 d10～d13 が並列的に印加されるように構成されている。

#### 【0069】

ここで、本実施形態においても、カレントミラー回路部 21B を構成する各単位電流トランジスタ TN22～TN25 のトランジスタサイズ（すなわち、チャネル長を一定とした場合のチャネル幅）が、基準電流トランジスタ TN21 を基準として、所定の比率になるように形成され、各電流路に流れる単位電流  $I_{sh}$ ～ $I_{sk}$  が、基準電流  $I_{ref}$  に対して、各々異なる所定の比率の電流値を有するように設定されている。

#### 【0070】

これにより、本実施形態に係る電流生成部 20B においても、データラッチ部 10（ラッチ回路 LC0～LC3）から出力される出力信号 d10～d13 の信号レベルに応じて、スイッチ回路部 22B の特定のトランジスタ TN26～TN29 がオン動作して、単位電流トランジスタ TN22～TN25 を介して基準電

流  $I_{ref}$  の所定比率倍の電流値を有する単位電流  $I_{sh} \sim I_{sk}$  が流れ、これらの合成電流が電流出力接点  $OUT_i$  を介して負荷駆動電流  $I_D$  として図示を省略した負荷に供給される（本実施形態においては、負荷側から電流駆動回路方向に負荷駆動電流が流れ込む）。

#### 【0071】

また、特定状態設定部 30B は、図 3 に示すように、上記ラッチ回路  $LC_0 \sim LC_3$  の各々から出力される出力信号  $d_{10} \sim d_{13}$  を入力信号とする否定論理和演算回路（デジタル値判定部；以下、「NOR 回路」と略記する）33 と、該 NOR 回路 33 からの出力端が制御端子に、電流路の一端側が特定電圧  $V_{in}$  を印加する電圧源に、他端側が駆動電流供給線  $CL$  に、各々接続された  $n$  チャネル型トランジスタからなる特定電圧印加トランジスタ（特定電圧印加部） $TN_{34}$  と、を備えた構成を有している。

#### 【0072】

そして、このような構成を有する特定状態設定部 30B においても、NOR 回路 33 により、上記ラッチ回路  $LC_0 \sim LC_3$  から出力される出力信号  $d_{10} \sim d_{13}$  の信号レベルが全て“0”となる特定状態が判別され、該特定状態においてのみ、特定電圧印加トランジスタ  $TN_{34}$  がオン動作して、駆動電流供給線  $CL$  を介して負荷に特定電圧  $V_{in}$  が印加される。

#### 【0073】

したがって、上述した各実施形態に示した電流駆動回路  $ISA$ 、 $ISB$  においては、駆動電流供給線  $CL$  を介して負荷に直接接続された電流生成部 20A、20B に、定電流発生源  $IR$  から信号レベルが変動しない一定の基準電流  $I_{ref}$  を供給し、複数ビットのデジタル信号  $d_0 \sim d_3$ （データラッチ部 10 の出力信号  $d_{10} \sim d_{13}$ 、 $d_{10}^* \sim d_{13}^*$ ）に基づいて、負荷を所望の駆動状態で動作させることができる電流値を有する負荷駆動電流  $I_D$  を生成する構成を有していることにより、負荷駆動電流の生成に関連して供給される信号（デジタル信号及び基準電流）が電位変動をほとんど生じることがないので、負荷駆動電流  $I_D$  の電流値が微少な場合や、負荷への負荷駆動電流  $I_D$  の供給時間（あるいは、負荷の駆動時間）が短く設定されている場合であっても、配線容量等の寄生容量へ

の充放電動作に起因する信号遅延の影響を排除することができ、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

#### 【0074】

また、複数ビットのデジタル信号により負荷を連続的に駆動制御する場合、新たなデジタル信号  $d_0 \sim d_3$  に基づく負荷駆動電流  $I_D$  を駆動電流供給線  $CL$  に供給するタイミングに先立って、全てのデジタル信号  $d_0 \sim d_3$  (出力信号  $d_{10} \sim d_{13}$ 、 $d_{10}^* \sim d_{13}^*$ ) を "0" に設定することにより、電流生成部 20A における電流出力が遮断されるとともに、特定状態設定部 30A を介して駆動電流供給線  $CL$  に特定電圧  $V_{in}$  ( $= 0V$ ) が印加されるので、駆動電流供給線  $CL$  及び負荷に付加された容量成分に蓄積された(残留する)電荷を、特定電圧(接地電位)  $V_{in}$  を印加する電圧源に十分に放電することができる。

#### 【0075】

これにより、駆動電流供給線  $CL$  を介して負荷駆動電流  $I_D$  を供給するタイミングに先立って、駆動電流供給線  $CL$  の信号レベルが常に一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させるために、駆動電流供給線  $CL$  に供給する負荷駆動電流  $I_D$  の電流値を微少に設定した場合や、負荷への負荷駆動電流  $I_D$  の供給時間(あるいは、負荷の駆動時間)が短く設定されている場合であっても、駆動電流供給線  $CL$  及び負荷に残留する電荷の影響を排除して、駆動電流供給線  $CL$  の信号レベルを迅速に、負荷駆動電流  $I_D$  に応じた電位に安定化させ、負荷を適切な駆動状態で動作させることができる。

#### 【0076】

なお、上述した各実施形態においては、電流生成部 20A、20B として、カレントミラー回路構成(カレントミラー回路部 21A、21B)を備え、各単位電流トランジスタにより、基準電流トランジスタに流れる基準電流  $I_{ref}$  に対して各々異なる所定の比率の電流値を有する単位電流を選択的に合成して、負荷駆動電流  $I_D$  を生成する構成について説明したが、本発明はこの回路構成に限定されるものではなく、データラッチ部 10(ラッチ回路)から同時並列的に出力さ

れる所定の信号レベルの出力信号に基づいて、負荷を所望の駆動状態で動作させることができる負荷駆動電流を生成、出力することができるものであれば、他の回路構成を有するものであってもよい。

#### 【0077】

また、上記複数ビットのデジタル信号としては、後述するように、表示装置に所望の画像情報を表示するための表示データ（表示信号）を適用することでき、この場合において、電流駆動回路により生成、出力される負荷駆動電流は、表示パネルを構成する各表示画素を所定の輝度階調で発光動作させるために供給される階調電流に対応する。以下、上述したような構成及び機能を有する電流駆動回路ISA、ISBを、データドライバに適用した表示装置について、具体的に説明する。

#### 【0078】

##### <表示装置の第1の実施形態>

図5は、本発明に係る電流駆動回路を適用可能な表示装置の第1の実施形態を示す概略ブロック図であり、図6は、本実施形態に係る表示装置の要部構成を示す概略構成図である。ここでは、表示パネルとしてアクティブマトリクス方式に対応した表示画素を備えた構成について説明する。また、本実施形態においては、データドライバ側から表示画素に階調電流を流し込むようにした電流印加方式を採用した場合について説明し、上述した実施形態に示した電流駆動回路（図1、図2）を適宜参照する。

#### 【0079】

図5、図6に示すように、本実施形態に係る表示装置100Aは、概略、複数の表示画素（負荷）EMがマトリクス状に配列された表示パネル110Aと、表示パネル110Aの行方向に配列された表示画素群ごとに、共通に接続された走査ライン（走査線）SLa、SLbに接続された走査ドライバ（走査駆動手段）120Aと、表示パネル110Aの列方向に配列された表示画素群ごとに、共通に接続されたデータライン（信号線）DL1、DL2、・・・（DL）に接続されたデータドライバ（信号駆動手段）130Aと、走査ドライバ120A及びデータドライバ130Aの動作状態を制御する各種制御信号を生成、出力するシス

テムコントローラ 140 A と、表示装置 100 A の外部から供給される映像信号に基づいて、表示データやタイミング信号等を生成する表示信号生成回路 150 A と、を備えて構成されている。

#### 【0080】

以下、上記各構成について説明する。

(表示パネル 110 A)

表示パネル 110 A は、具体的には、図 6 に示すように、各行ごとの表示画素 EM 群に対応して、各々、並列に配設された一対の走査ライン SL a、SL b と、各列ごとの表示画素群に対応するとともに、走査ライン SL a、SL b に対して直交するように配設されたデータライン DL と、これらの直交するラインの各交点近傍に配列された複数の表示画素 EM (図 6 中、画素駆動回路 DC x 及び有機 EL 素子 OEL からなる構成) と、を備えた構成を有している。

#### 【0081】

表示画素 EM は、例えば、走査ドライバ 120 A から走査ライン SL a を介して印加される走査信号 Vsel、走査ライン SL b を介して印加される走査信号 Vsel\* (走査ライン SL a に印加される走査信号 Vsel の極性反転信号; 図 6 の符号参照)、及び、データドライバ 130 A からデータライン DL を介して供給される階調電流 (負荷駆動電流) I<sub>pix</sub> に基づいて、各表示画素 EM における階調電流 I<sub>pix</sub> の書込動作及び発光動作を制御する画素駆動回路 DC x と、該画素駆動回路 DC x から供給される発光駆動電流の電流値に応じて発光輝度が制御される、周知の有機 EL 素子 (発光素子) OEL と、を有して構成されている。なお、本実施形態においては、表示画素 EM の発光素子として、有機 EL 素子を適用した構成を示すが、本発明はこれに限定されるものではなく、発光素子に供給される発光駆動電流の電流値に応じて所定の輝度階調で発光動作する電流駆動型の発光素子であれば、発光ダイオード等の他の発光素子を適用するものであってもよい。

#### 【0082】

ここで、画素駆動回路 DC x は、概略、走査信号 Vsel、Vsel\* に基づいて各表示画素 EM の選択/非選択状態を制御し、選択状態において表示データに応じ

た階調電流  $I_{pix}$  を取り込んで電圧レベルとして保持し、非選択状態において上記保持した電圧レベルに基づく発光駆動電流を有機 EL 素子 OEL に供給して、所定の輝度階調で発光させる動作を維持する機能を有している。なお、画素駆動回路 DCx に適用可能な回路構成例については後述する。

#### 【0083】

(走査ドライバ 120A)

走査ドライバ 120A は、図 6 に示すように、シフトレジスタとバッファからなるシフトブロック SB を、各行の走査ライン SLa、SLb に対応して複数段備え、システムコントローラ 140A から供給される走査制御信号（走査スタート信号 SSTR、走査クロック信号 SCLK 等）に基づいて、シフトレジスタにより表示パネル 110A の上方から下方に順次シフトしつつ出力されるシフト信号が、バッファを介して所定の電圧レベル（選択レベル；例えば、ハイレベル）を有する走査信号 Vsel として各走査ライン SLa に印加されるとともに、該走査信号 Vsel を極性反転した電圧レベルが走査信号 Vsel\* として各走査ライン SLb に印加される。これにより、各行ごとの表示画素 EM 群を選択状態とし、データドライバ 130A により各データライン DL を介して供給される表示データに基づく階調電流  $I_{pix}$  を、各表示画素 EM に書き込むように制御する。

#### 【0084】

(データドライバ 130A)

データドライバ 130A は、システムコントローラ 140A から供給されるデータ制御信号（後述するシフトスタート信号 STR、シフトクロック信号 SFC 等）に基づいて、表示信号生成回路 150A から供給される複数ビットのデジタル信号からなる表示データを取り込んで保持し、当該表示データに対応する電流値を有する階調電流  $I_{pix}$  を生成して、各データライン DL を介して走査ドライバ 120A により選択状態に設定された各表示画素 EM に同時に並行して（一斉に）供給するように制御する。なお、データドライバ 130A の具体的な回路構成やその駆動制御動作については、詳しく後述する。

#### 【0085】

(システムコントローラ 140A)

システムコントローラ 140A は、後述する表示信号生成回路 150A から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ 120A 及びデータドライバ 130A の各々に対して、走査制御信号（上述した走査スタート信号 SSTR や走査クロック信号 SCLK 等）及びデータ制御信号（上述したシフトスタート信号 STR やシフトクロック信号 SFC 等）を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル 110A に走査信号 Vsel、Vsel\* 及び階調電流 I<sub>pix</sub> を出力させ、画素駆動回路 DC<sub>x</sub> における所定の制御動作を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル 110A に表示させる制御を行う。

#### 【0086】

（表示信号生成回路 150A）

表示信号生成回路 150A は、例えば、表示装置 100A の外部から供給される映像信号から輝度階調信号成分を抽出し、表示パネル 110A の 1 行分ごとに、該輝度階調信号成分を、複数ビットのデジタル信号からなる表示データとしてデータドライバ 130A に供給する。ここで、上記映像信号が、テレビ放送信号（コンポジット映像信号）のように、画像情報の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路 150A は、上記輝度階調信号成分を抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 150A に供給する機能を有するものであってもよい。この場合においては、上記システムコントローラ 140A は、表示信号生成回路 150A から供給されるタイミング信号に基づいて、走査ドライバ 120A やデータドライバ 130A に対して供給する上記走査制御信号及びデータ制御信号を生成する。

#### 【0087】

なお、本実施形態において、表示パネル 110A とその周辺に付設されるドライバやコントローラ等の周辺回路との実装構造については、特に限定するものではないが、例えば、少なくとも、表示パネル 110A と走査トランジスタ 120A、データドライバ 130A が単一の基板上に形成されているものであってもよいし、後述するデータドライバ 130A のみ、もしくは、走査ドライバ 120A 及びデータドライバ 130A を、表示パネル 110A とは別個に設けて電氣的に

接続するようにしたものであってもよい。

#### 【0088】

(データドライバの第1の構成例)

次いで、上述した表示装置に適用されるデータドライバの構成について説明する。

本実施形態に係る表示装置100Aに適用されるデータドライバ130Aは、概略、図1に示した電流駆動回路ISA(データラッチ部10、電流生成部20A、特定状態設定部30A)が各データラインDLに対応して、階調電流生成回路として個別に設けられ、各々の階調電流生成回路に対して、例えば、単一の定電流発生源IRから共通の電流供給線を介して、一定の電流値を有する基準電流が供給される(本実施例においては、基準電流I<sub>ref</sub>が引き抜かれるように供給される)ように構成されている。

#### 【0089】

本実施例に係るデータドライバ130Aは、例えば、図6に示すように、システムコントローラ140Aからデータ制御信号として供給されるシフトクロック信号SFCに基づいて、シフトスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、SR3、・・・(上述したタイミング制御信号CLKに相当する)を順次出力するシフトレジスタ回路131Aと、該シフトレジスタ回路131Aからの各シフト信号SR1、SR2、SR3、・・・及びシステムコントローラ140Aからデータ制御信号として供給されるリセット制御信号RSTを入力信号とし、それらの論理和演算結果を、後述する階調電流生成回路群132Aにタイミング制御信号CLKとして出力するOR回路301、302、303、・・・からなるOR回路群300Aと、各OR回路301、302、303、・・・から出力されるタイミング制御信号CLKに基づいて、表示信号生成回路150Aから順次供給される1行分の表示データD0～D<sub>q</sub>(ここでは、図1及び図2に示した電流駆動回路ISAに入力されるデジタル信号d0～d3に対応させて、便宜的にq=3とする)を順次取り込み、各表示画素EMにおける発光輝度に対応した階調電流I<sub>pix</sub>を生成して、各データラインDL1、DL2、・・・に供給する階調電流生成回路PXA1、PXA2、PXA



3、・・・（上述した電流駆動回路ISAに相当する；以下、便宜的に「階調電流生成回路PXA」とも記す）からなる階調電流生成回路群132Aと、データドライバ130Aの外部に設けられ、各階調電流生成回路PXA1、PXA2、PXA3、・・・に対して、共通の基準電流供給線Lsを介して一定の電流値を有する基準電流Irefを定常的に供給する定電流発生源IRと、を備えて構成されている。

#### 【0090】

ここで、各階調電流生成回路PXA1、PXA2、PXA3、・・・は、上述した電流駆動回路ISA（図1、図2）と同等のデータラッチ部（信号保持手段）、電流生成部（駆動電流生成手段）及び特定状態設定部（特定状態設定手段）を備えた構成を有している。

なお、本実施例においては、データドライバ130Aに設けられた全ての階調電流生成回路PXA1、PXA2、PXA3、・・・に対して、単一の定電流発生源IRから基準電流Irefが共通に供給される構成を示したが、本発明はこれに限定されるものではなく、例えば、データドライバが表示パネルに対して複数個設けられている場合には、各データドライバに対応して定電流発生源を個別に備えるものであってもよく、また、単一のデータドライバ内に設けられた複数の階調電流生成回路ごとに定電流発生源を備えるものであってもよい。

#### 【0091】

（表示画素の第1の構成例）

次いで、上述した表示装置（表示パネル110A）の各表示画素に適用される画素駆動回路について簡単に説明する。

図7は、本実施形態に適用される表示画素（画素駆動回路）の第1の実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、電流印加方式を採用した表示装置に適用可能な一例を示すものにすぎず、同等の機能を有する他の回路構成を適用するものであってもよいことはいうまでもない。

#### 【0092】

図7に示すように、本実施例に係る画素駆動回路DCxは、走査ラインSLa、SLbとデータラインDLとの交点近傍に、ゲート端子が走査ラインSLaに

、ソース端子及びドレイン端子が電源接点Vdd及び接点Nxaに各々接続されたpチャネル型トランジスタTr31と、ゲート端子が走査ラインSLbに、ソース端子及びドレイン端子がデータラインDL及び接点Nxaに各々接続されたpチャネル型トランジスタTr32と、ゲート端子が接点Nxbに、ソース端子及びドレイン端子が接点Nxa及び接点Nxcに各々接続されたpチャネル型トランジスタTr33と、ゲート端子が走査ラインSLに、ソース端子及びドレイン端子が接点Nxb及び接点Nxcに各々接続されたnチャネル型トランジスタTr34と、接点Nxa及び接点Nxb間に接続されたコンデンサ（保持容量；電荷蓄積手段）Cxと、を備えた構成を有している。ここで、電源接点Vddは、例えば、図示を省略した電源ラインを介して、高電位電源に接続され、常時、もしくは、所定のタイミングで一定の高電位電圧が印加される。

#### 【0093】

また、このような画素駆動回路DCxから供給される発光駆動電流により発光輝度が制御される有機EL素子OELは、アノード端子が上記画素駆動回路DCxの接点Nxcに、カソード端子が低電位電源（例えば、接地電位Vgnd）に各々接続された構成を有している。ここで、コンデンサCxは、トランジスタTr33のゲートーソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートーソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

#### 【0094】

このような構成を有する画素駆動回路DCxにおける有機EL素子OELの駆動制御動作は、まず、書込動作期間において、例えば、走査ラインSLaにハイレベル（選択レベル）の走査信号Vselを印加するとともに、走査ラインSLbにローレベルの走査信号Vsel\*を印加し、このタイミングに同期して、有機EL素子OELを所定の輝度階調で発光動作させるための階調電流IpixをデータラインDLに供給する。ここでは、階調電流Ipixとして、正極性の電流を供給し、データドライバ130A側からデータラインDLを介して表示画素（画素駆動回路DCx）方向に当該電流が流し込まれる（印加する）ように設定する。

#### 【0095】

これにより、画素駆動回路  $DC_x$  を構成するトランジスタ  $Tr_{32}$  及び  $Tr_{34}$  がオン動作するとともに、トランジスタ  $Tr_{31}$  がオフ動作して、データライン  $DL$  に供給された階調電流  $I_{pix}$  に対応する正の電位が接点  $N_{xa}$  に印加される。また、接点  $N_{xb}$  及び接点  $N_{xc}$  間が短絡して、トランジスタ  $Tr_{33}$  のゲート-ドレイン間が同電位に制御されることにより、トランジスタ  $Tr_{33}$  がオフ動作するとともに、コンデンサ  $C_x$  の両端（接点  $N_{xa}$  及び接点  $N_{xb}$  間）には、階調電流  $I_{pix}$  に応じた電位差が生じ、該電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。

#### 【0096】

次いで、発光動作期間において、走査ライン  $SL_a$  にローレベル（非選択レベル）の走査信号  $V_{sel}$  を印加するとともに、走査ライン  $SL_b$  にハイレベルの走査信号  $V_{sel}^*$  を印加し、このタイミングに同期して、階調電流  $I_{pix}$  の供給を遮断する。これにより、トランジスタ  $Tr_{32}$  及び  $Tr_{34}$  がオフ動作してデータライン  $DL$  及び接点  $N_{xa}$  間、並びに、接点  $N_{xb}$  及び接点  $N_{xc}$  間が電氣的に遮断されることにより、コンデンサ  $C_x$  は、上述した書込動作において蓄積された電荷を保持する。

#### 【0097】

このように、コンデンサ  $C_x$  が書込動作時の充電電圧を保持することにより、接点  $N_{xa}$  及び接点  $N_{xb}$  間（トランジスタの  $Tr_{33}$  のゲート-ソース間）の電位差が保持されることになり、トランジスタ  $Tr_{33}$  はオン動作する。また、上記走査信号  $V_{sel}$ （ローレベル）の印加により、トランジスタ  $Tr_{31}$  が同時にオン動作するので、電源接点（高電位電源） $V_{dd}$  からトランジスタ  $Tr_{31}$  及び  $Tr_{33}$  を介して、有機  $EL$  素子  $OEL$  に階調電流  $I_{pix}$ （より詳しくは、コンデンサ  $C_x$  に保持された電荷）に応じた発光駆動電流が流れ、有機  $EL$  素子  $OEL$  が所定の輝度階調で発光する。このように、本実施例に係る画素駆動回路  $DC_x$  においては、トランジスタ  $Tr_{33}$  は、発光駆動用トランジスタ（駆動電流生成手段、発光駆動手段）としての機能を有していることになる。

#### 【0098】

<表示装置の駆動制御方法>

次に、上述した構成を有する表示装置の動作について、図面を参照して説明する。

図8は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートであり、図9は、本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。ここでは、図6に示したデータドライバの構成に加え、図1及び図2に示した電流駆動回路の構成も適宜参照しながら説明する。

#### 【0099】

##### （データドライバの制御動作）

データドライバ130Aにおける制御動作は、まず、後述する信号保持動作に先立って、上述した各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられた特定状態設定部を介して、各データラインDL1、DL2、DL3、・・・に特定電圧（リセット電圧） $V_{in}$ を印加するリセット動作と、各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられたデータラッチ部に、表示信号生成回路150Aから供給される表示データD0～D3を取り込み保持するとともに、該表示データD0～D3に基づく反転出力信号を一定期間出力する信号保持動作と、データラッチ部からの出力信号に基づいて、各階調電流生成回路PXA1、PXA2、PXA3、・・・に設けられた電流生成部により、上記表示データD0～D3に対応する階調電流 $I_{pix}$ を生成して各データラインDL1、DL2、DL3、・・・を介して各表示画素に個別に供給する電流生成供給動作と、を順次設定することにより実行される。

#### 【0100】

そして、上記リセット動作は、1水平選択期間内の信号保持動作及び電流生成供給動作を行う期間以外の期間、例えば帰線期間内に、各階調電流生成回路PXA1、PXA2、PXA3、・・・に対して一斉に実行され、信号保持動作及び電流生成供給動作は、1水平選択期間内の帰線期間を除く期間に、各階調電流生成回路PXA1、PXA2、PXA3、・・・ごとに順次実行される。

#### 【0101】

ここで、リセット動作においては、図8に示すように、信号保持動作に先立つ

帰線期間中に、システムコントローラ 140A からハイレベルのリセット制御信号 RST が供給されることにより、各 OR 回路 301、302、303、・・・からハイレベルのタイミング制御信号 CLK が各階調電流生成回路 PXA1、PXA2、PXA3、・・・に設けられたデータラッチ部に出力され、また、このタイミングに同期して、表示信号生成回路 150A から最低輝度階調での発光動作（黒表示動作に相当する）に対応する表示データ D0～D3（すなわち、全て“0”）がリセットデータとして供給されることにより、各データラッチ部に、当該表示データ D0～D3 が一斉に取り込み保持される。

#### 【0102】

次いで、ローレベルのリセット制御信号 RST が供給されることにより、各 OR 回路 301、302、303、・・・からローレベルのタイミング制御信号 CLK が各階調電流生成回路 PXA1、PXA2、PXA3、・・・のデータラッチ部に出力されることにより、上記保持した表示データ D0～D3 の非反転出力信号が特定状態設定部に出力されて、特定電圧（リセット電圧） $V_{in}$  が各データライン DL1、DL2、DL3、・・・に印加される。これにより、各データライン DL1、DL2、DL3、・・・付加された配線容量や、該各データライン DL1、DL2、DL3、・・・に接続された表示画素 EM に設けられた保持容量（コンデンサ  $C_x$ ）等の容量成分に蓄積されていた電荷が放電され、各電位が所定の低電位状態に設定される。

#### 【0103】

また、信号保持動作においては、図 8 に示すように、システムコントローラ 140A からローレベルのリセット制御信号 RST が供給されることにより、シフトレジスタ回路 131A から順次出力されるシフト信号 SR1、SR2、SR3、・・・の信号レベルに応じたタイミング制御信号 CLK が各階調電流生成回路 PXA1、PXA2、PXA3、・・・のデータラッチ部に出力され、タイミング制御信号 CLK がハイレベルとなるタイミングで各データラッチ部により、各列の表示画素（すなわち、各データライン DL1、DL2、DL3、・・・）に対応して切り替わる表示データ D0～D3 を順次取り込む動作が 1 行分連続的に実行される。そして、データラッチ部に取り込まれた表示データ D0～D3 の反

転出力信号が各電流生成部に出力される状態が、一定期間（例えば、次のハイレベルのシフト信号SR1、SR2、SR3、・・・が出力されるまでの期間）保持される。

#### 【0104】

また、電流生成供給動作においては、上記データラッチ部から出力される反転出力信号に基づいて、各電流生成部に設けられた複数のスイッチトランジスタ（図2に示したスイッチトランジスタTP16～TP19）のオン／オフ状態が制御され、オン動作したスイッチトランジスタに接続された単位電流トランジスタ（図2に示したトランジスタTP12～TP15）に流れる単位電流の合成電流が、階調電流I<sub>pix</sub>として各データラインDL1、DL2、DL3、・・・を介して順次供給される。

#### 【0105】

ここで、階調電流I<sub>pix</sub>は、例えば、全てのデータラインDL1、DL2、DL3、・・・に対して、少なくとも一定期間、並列的に供給されるように設定される。また、本実施形態においては、上述したように、基準電流I<sub>ref</sub>に対して予めトランジスタサイズにより規定された所定比率（例えば、 $a \times 2^k$ ； $k=0, 1, 2, 3, \dots$ ）の電流値を有する複数の単位電流を生成し、上記反転出力信号に基づいてスイッチトランジスタがオン／オフ動作することにより、所定の単位電流を選択して合成し、正極性の階調電流I<sub>pix</sub>を生成して、データドライバ130A側からデータラインDL1、DL2、DL3、・・・方向に流し込むように該階調電流I<sub>pix</sub>を供給する。

#### 【0106】

なお、本実施例に係るデータドライバ130Aにおいては、図6に示したように、定電流発生源IRから一定の電流値を有する基準電流I<sub>ref</sub>が供給される共通の基準電流供給線L<sub>s</sub>に対して、複数の階調電流生成回路PXA1、PXA2、PXA3、・・・が並列的に接続された構成を有し、図8に示したように、各階調電流生成回路PXA1、PXA2、・・・において、表示データD0～D3に基づいて、同時に並行して各データラインDL1、DL2、DL3、・・・（表示画素）に供給される階調電流I<sub>pix</sub>が生成されるので、基準電流供給線L<sub>s</sub>

を介して各階調電流生成回路 P X A 1、P X A 2、・・・に供給される電流は、定電流発生源 I R により供給される基準電流 I ref そのものではなく、階調電流生成回路の数（すなわち、表示パネル 110 A に配設されたデータラインの数に相当する；例えば、m 個）に応じて、略均等分割された電流値（I ref / m）を有する電流が供給されることになる。

#### 【0107】

したがって、各階調電流生成回路 P X A 1、P X A 2、・・・の電流生成部を構成するカレントミラー回路部において設定される基準電流に対する各単位電流の電流値の比率（基準電流トランジスタに対する単位電流トランジスタのチャネル幅の比）を、各階調電流生成回路 P X A 1、P X A 2、・・・に供給される上記電流値（I ref / m）を勘案して、例えば、図 2 に示した回路構成における比率の m 倍に設定するようにしてもよい。

#### 【0108】

また、他の構成として、各階調電流生成回路 P X A 1、P X A 2、・・・に、例えば、シフトレジスタ回路 131 A から出力されるシフト信号 S R 1、S R 2、S R 3、・・・に基づいて選択的にオン動作するスイッチ手段を設け、各階調電流生成部において、表示データ D 0 ～D 3 に基づいて階調電流 I pix が生成される電流生成供給動作の期間のみ、上記定電流発生源 I R からの基準電流 I ref をそのまま、各階調電流生成回路 P X A 1、P X A 2、・・・に選択的に供給するようにしてもよい。

#### 【0109】

（表示パネル 110 A の制御動作）

そして、表示パネル 110 A（表示画素 E M）における制御動作は、図 9 に示すように、表示パネル 110 A 一画面に所望の画像情報を表示する一走査期間 T sc を 1 サイクルとして、該一走査期間 T sc 内に、特定の走査ラインに接続された表示画素 E M 群を選択して、データドライバ 130 A から供給される表示データ D 0 ～D 3 に対応する階調電流 I pix を書き込み、信号電圧として保持する書込動作期間（選択期間）T se と、該保持された信号電圧に基づいて、上記表示データに応じた発光駆動電流を有機 E L 素子 O E L に供給して、所定の輝度階調で発

光動作させる発光動作期間（表示画素の非選択期間） $T_{nse}$ と、を設定（ $T_{sc} = T_{se} + T_{nse}$ ）し、各動作期間において、上述した画素駆動回路  $DC_x$  と同等の駆動制御を実行する。ここで、各行ごとに設定される書込動作期間  $T_{se}$  は、相互に時間的な重なりが生じないように設定される。また、書込動作期間  $T_{se}$  は、少なくとも、上記データドライバ 130A における電流生成供給動作において、各データライン DL に階調電流  $I_{pix}$  を並列的に供給する一定期間を含む期間に設定される。

#### 【0110】

すなわち、表示画素 EM への書込動作期間  $T_{se}$  においては、図 9 に示すように、特定の行（ $i$  行目）の表示画素 EM に対して、走査ドライバ 120A により走査ライン SL a、SL b を所定の信号レベルに走査することにより、データドライバ 130A により各データライン DL に並列的に供給された階調電流  $I_{pix}$  を電圧成分として一斉に保持する動作を実行し、その後の発光動作期間  $T_{nse}$  においては、上記書込動作期間  $T_{se}$  に保持された電圧成分に基づく発光駆動電流を有機 EL 素子 OEL に継続的に供給することにより、表示データに対応する輝度階調で発光する動作が継続される。

このような一連の駆動制御動作を、図 9 に示すように、表示パネル 110A を構成する全ての行の表示画素群について順次繰り返し実行することにより、表示パネル一画面分の表示データが書き込まれて、各表示画素 EM が所定の輝度階調で発光し、所望の画像情報が表示される。

#### 【0111】

したがって、本実施形態に係るデータドライバ 130A 及び表示装置 100A によれば、各階調電流生成回路 PXA1、PXA2、・・・により各データライン DL を介して特定の行の表示画素 EM 群に供給される階調電流  $I_{pix}$  が、定電流発生源 IR から（共通の基準電流供給線  $L_s$  を介して）供給される信号レベルが変動しない一定の基準電流  $I_{ref}$ 、及び、複数ビットのデジタル信号からなる表示データ  $D_0 \sim D_3$  に基づいて生成されるので、表示画素 EM を比較的低い輝度階調で発光動作させる場合（階調電流  $I_{pix}$  の電流値が微少な場合）や、表示パネル 110A の高精細化等に伴って表示画素への階調電流  $I_{pix}$  の供給時間（



選択時間)が短く設定されている場合であっても、階調電流  $I_{pix}$  の生成に関連してデータドライバ 130A (各階調電流生成回路 PXA1、PXA2、...) に供給される信号の伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

#### 【0112】

また、この場合、各表示画素 EM への階調電流  $I_{pix}$  の供給動作 (具体的には、データドライバ 130A における信号保持動作及び電流生成供給動作) に先立って、各データライン DL に一定の低電圧からなるリセット電圧を印加して、データライン DL に付加された配線容量 (寄生容量) や表示画素 EM の保持容量 (画素駆動回路 DCx のコンデンサ Cx) 等の容量成分に蓄積された電荷を充分放電して初期化 (リセット) することができるので、新たな表示データに基づく階調電流を書き込む場合 (特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素 EM の選択期間が短く設定されている場合であっても)、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮することができる。したがって、データラインや表示画素に印加される信号レベルを、迅速に表示データに応じたレベルに安定化させて表示画素への書込速度を高めることができるので、表示装置の表示応答特性及び表示画質を向上させることができる。

#### 【0113】

なお、本実施形態においては、データドライバ 130A 及び表示画素 EM (画素駆動回路 DCx) として、電流印加方式に対応した構成を示したが、本発明はこれに限定されるものではなく、図 3、図 4 に示したような電流駆動回路を階調電流生成回路に適用して、表示画素側からデータドライバ方向に階調電流を引き込むように供給する電流シンク方式の回路構成を適用することもできる。以下、上述した表示装置 (表示パネル) の他の例として、電流シンク方式を適用した場合について簡単に説明する。

#### 【0114】

<表示装置の第 2 の実施形態>

電流シンク方式を適用した表示装置は、概略、上述した第1の実施形態（図5、図6参照）と同様の表示パネル、走査ドライバ、システムコントローラ及び表示信号生成回路を備えた構成を有しているが、データドライバ及び表示パネルを構成する各表示画素（画素駆動回路）が以下に示すように異なる構成を有している。

#### 【0115】

（データドライバの第2の構成例）

まず、本実施形態に係る表示装置に適用されるデータドライバの構成について説明する。

図10は、第2の実施形態に係る表示装置の要部構成を示す概略構成図である。ここで、第1の実施形態に示した表示装置と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

#### 【0116】

図10に示すように、本実施形態に係る表示装置に適用されるデータドライバ130Bは、概略、図6に示したデータドライバ130Aと同等の構成を有するシフトレジスタ回路131B、定電流発生源IRに接続された電流供給線Ls、OR回路301、302、303、・・・からなるOR回路群300B、及び、特定電圧Vinが印加される電源線を備えるとともに、表示パネル110B（各表示画素EM）側から各データラインDLを介してデータドライバ130B方向に流れ込むように電流極性が設定された階調電流Ipixを生成する階調電流生成回路PXB1、PXB2、PXB3、・・・（以下、便宜的に「階調電流生成回路PXB」とも記す）からなる階調電流生成回路群132Bを備えた構成を有している。ここで、各階調電流供給回路PXB1、PXB2、PXB3、・・・は、上述した電流駆動回路ISB（図3、図4）と同等のデータラッチ部、電流生成部及び特定状態設定部を備えた構成を有している。

#### 【0117】

このような構成を有するデータドライバ130Bにおける制御動作は、上述した実施形態において示したデータドライバの駆動制御方法（図8参照）と同様に、まず、信号保持動作及び電流生成供給動作に先立つリセット動作においては、

リセット制御信号が印加されることにより、各階調電流生成回路 P X A 1、P X A 2、P X A 3、・・・に設けられた特定状態設定部により、各データライン D L 1、D L 2、D L 3、・・・に特定電圧（リセット電圧）V<sub>in</sub>が一斉に印加され、所定の低電位状態に設定される。

#### 【0118】

次いで、信号保持動作においては、シフトレジスタ回路 131B から順次出力されるシフト信号 S R 1、S R 2、S R 3、・・・に基づいて、各階調電流生成回路 P X A 1、P X A 2、P X A 3、・・・のデータラッチ部により、各列（表示画素）ごとに順次取り込まれた表示データ D 0～D 3 の非反転出力信号が各電流生成部に出力される。

そして、電流生成供給動作においては、電流生成部により上記非反転出力信号に基づいて、複数の単位電流が選択的に合成され、負極性の階調電流 I<sub>pix</sub>を生成して、各表示画素 E M 側から各データライン D L 1、D L 2、・・・を介して、データドライバ 130B 方向に該階調電流 I<sub>pix</sub>を引き込むように順次供給する。

#### 【0119】

（表示画素の第2の構成例）

次いで、本実施形態に係る表示パネルに適用される表示画素（画素駆動回路）の構成について説明する。

図11は、本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。なお、ここで示す画素駆動回路は、本発明に係る表示装置に適用可能な一例を示すにすぎず、同等の動作機能を有する他の回路構成を有するものであってもよいことはいうまでもない。

#### 【0120】

図10、図11に示すように、本実施例に係る画素駆動回路 D C y は、例えば、走査ライン S L とデータライン D L との交点近傍に、ゲート端子が走査ライン S L に、ソース端子が走査ライン S L に平行に配設された電源ライン V L に、ドレイン端子が接点 Nya に各々接続された n チャンネル型トランジスタ T r 4 1 と、ゲート端子が走査ライン S L に、ソース端子及びドレイン端子がデータライン D

L 及び接点 Nyb に各々接続された n チャンネル型トランジスタ  $T_{r42}$  と、ゲート端子が接点 Nya に、ソース端子及びドレイン端子が電源ライン VL 及び接点 Nyb に各々接続された n チャンネル型トランジスタ  $T_{r43}$  と、接点 Nya 及び接点 Nyb 間に接続されたコンデンサ  $C_y$  と、を備えた構成を有している。

#### 【0121】

また、このような画素駆動回路 DCy から供給される発光駆動電流により発光輝度が制御される有機 EL 素子 OEL は、アノード端子が上記画素駆動回路 DCy の接点 Nyb に、カソード端子が接地電位  $V_{gnd}$  に各々接続された構成を有している。ここで、コンデンサ  $C_y$  は、n チャンネル型トランジスタ  $T_{r43}$  のゲートーソース間に形成される寄生容量であってもよいし、その寄生容量に加えてゲートーソース間にさらに、容量素子を別個に付加するようにしたものであってもよい。

#### 【0122】

ここで、電源ライン VL は、図 10 に示すように、走査ライン SL と並行して配設されて各行の表示画素 EM に対応して共通に接続され、その一端が電源ドライバ 160B に接続されている。電源ドライバ 160B は、概略、第 1 の実施形態（図 5 参照）に示した走査ドライバ 120A と同等の構成を有し、各行ごとの電源ライン VL に対応して複数段のシフトブロック（図示を省略）を備え、システムコントローラから供給され、上記走査制御信号に同期する電源制御信号（電源スタート信号、電源クロック信号等）に基づいて、表示パネル 110B の上方から下方に順次シフトしつつ出力されたシフト信号が、所定の電圧レベル（例えば、走査ドライバ 120B による選択状態においてはローレベル、非選択状態においてはハイレベル）を有する電源電圧  $V_{sc}$  として各電源ライン VL に印加される。

#### 【0123】

このような構成を有する画素駆動回路 DCy における有機 EL 素子 OEL の駆動制御動作は、まず、書込動作期間において、走査ライン SL に対して、選択レベル（ハイレベル）の走査信号  $V_{sel}$  を印加するとともに、電源ライン VL に対して、ローレベルの電源電圧  $V_{sc}$  を印加する。また、このタイミングに同期して

、データドライバ130BからデータラインDLに階調電流  $I_{pix}$  を供給する。  
ここでは、階調電流  $I_{pix}$  として、負極性の電流を供給し、表示画素EM（画素駆動回路DCy）側からデータラインDLを介してデータドライバ130B方向に当該電流を引き込むように設定する。これにより、画素駆動回路DCyを構成するnチャネル型トランジスタTr41及びTr42がオン動作して、ローレベルの電源電圧Vscが接点Nyaに印加されるとともに、階調電流  $I_{pix}$  の引き込み動作によりnチャネル型トランジスタTr42を介してローレベルの電源電圧Vscよりも低電位の電圧レベルが接点Nybに印加される。

#### 【0124】

このように、接点Nya及びNyb間（nチャネル型トランジスタTr43のゲートソース間）に電位差が生じることにより、nチャネル型トランジスタTr43がオン動作して、電源ラインVLからnチャネル型トランジスタTr43、接点Nyb、nチャネル型トランジスタTr42を介して、データラインDL方向に階調電流  $I_{pix}$  に対応した電流が流れる。

このとき、コンデンサCyには、接点Nya及びNyb間に生じた電位差に対応する電荷が蓄積され、電圧成分として保持される（充電される）。また、このとき、有機EL素子OELのアノード端子（接点Nxb）に印加される電位は、カソード端子の電位（接地電位）よりも低くなり、有機EL素子OELに逆バイアス電圧が印加されることになるため、有機EL素子OELには発光駆動電流が流れず、発光動作は行われず。

#### 【0125】

次いで、発光動作期間においては、走査ラインSLに対して、非選択レベル（ローレベル）の走査信号Vselを印加するとともに、電源ラインVLに対して、ハイレベルの電源電圧Vscを印加する。また、このタイミングに同期して、階調電流  $I_{pix}$  の引き込み動作を停止する。

これにより、nチャネル型トランジスタTr41及びTr42がオフ動作して、接点Nyaへの電源電圧Vscの印加が遮断されるとともに、接点Nybへの階調電流  $I_{pix}$  の引き込み動作に起因する電圧レベルの印加が遮断されるので、コンデンサCyは、上述した書込動作において蓄積された電荷を保持する。

## 【0126】

このように、コンデンサ  $C_y$  が書込動作時の充電電圧を保持することにより、接点  $N_{ya}$  及び  $N_{yb}$  間（ $n$ チャネル型トランジスタの  $T_{r43}$  のゲートソース間）の電位差が保持されることになり、 $n$ チャネル型トランジスタ  $T_{r43}$  はオン状態を維持する。また、電源ライン  $V_L$  には、接地電位よりも高い電圧レベルを有する電源電圧  $V_{sc}$  が印加されるので、電源ライン  $V_L$  から  $n$ チャネル型トランジスタ  $T_{r43}$ 、接点  $N_{yb}$  を介して、有機EL素子  $OEL$  に順バイアス方向に発光駆動電流が流れる。

## 【0127】

ここで、コンデンサ  $C_y$  に保持される電位差（充電電圧）は、上記書込動作時において  $n$ チャネル型トランジスタ  $T_{r43}$  に階調電流  $I_{pix}$  に対応する電流を流す際の電位差に相当するので、有機EL素子  $OEL$  に流れる発光駆動電流は、上記電流と同等の電流値を有することになり、発光動作期間においては、書込動作期間に書き込まれた階調電流に対応する電圧成分に基づいて、有機EL素子  $OEL$  は所望の輝度階調で発光する動作を継続する。

## 【0128】

そして、このような一連の駆動制御動作を、走査ドライバ120B、電源ドライバ160B及びデータドライバ130Bを用いて、図9に示した動作制御と同様に、表示パネル110Bを構成する全ての行の表示画素EM群について順次繰り返し実行することにより、表示パネル一画面分の表示データが書き込まれて、各表示画素EM（有機EL素子  $OEL$ ）が所定の輝度階調で発光し、所望の画像情報が表示される。

## 【0129】

したがって、本実施形態に係るデータドライバ130Bを適用した表示装置においても、リセット動作によりデータラインや表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化し、その後、表示パネル（表示画素）に供給される各階調電流を、一定電流値の基準電流及びデジタル信号からなる表示データに基づいて生成し供給することができるので、データラインや基準電流供給線等に付加する容量成分の充放電動作に起因するデータ

ドライバの動作速度の低下を抑制して、表示応答特性を向上させることができるとともに、各データラインに対応して個別に設けられた階調電流供給回路により表示データに応じた適切な電流値を有する階調電流を生成して、各表示画素に供給することができ、良好な階調表示を実現することができる。

### 【0130】

#### ＜表示装置の第3の実施形態＞

次に、本発明に係る表示装置の第3の実施形態について説明する。

本実施形態に係る表示装置に適用されるデータドライバは、概略、図1に示した電流駆動回路を基本構成とする階調電流生成回路が、各データラインに2組設けられ、所定の動作タイミングで各組の階調電流生成回路が、相補的かつ連続的に表示データの取り込み保持、階調電流の生成、供給動作を実行するように構成されている。ここで、本構成例においては、2組設けられた各階調電流生成回路群に対して、単一の定電流発生源から一定の電流値を有する負の基準電流が供給されるように構成されている。

### 【0131】

#### (データドライバの第3の構成例)

図12は、第3の実施形態に係る表示装置に適用されるデータドライバの第3の実施例を示す概略構成図である。ここで、上述した実施形態と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

図12に示すように、本実施例に係るデータドライバ130Cは、具体的には、図示を省略したシステムコントローラから供給されるシフトクロック信号SFCに基づいて、非反転クロック信号CKa及び反転クロック信号CKbを生成する反転ラッチ回路133Cと、該非反転クロック信号CKa及び反転クロック信号CKbに基づいて、シフトスタート信号STRをシフトしつつ、所定のタイミングでシフト信号SR1、SR2、・・・(以下、便宜的に「シフト信号SR」とも記す)を順次出力するシフトレジスタ回路131Cと、各シフト信号SR1、SR2、SR3、・・・及びシステムコントローラから供給されるリセット制御信号RSTの論理和演算結果を、後述する階調電流生成回路群132C及び132Dにタイミング制御信号CLKとして共通に出力するOR回路301、30

2、303、・・・からなるOR回路群300Cと、各OR回路301、302、303、・・・から出力されるタイミング制御信号CLKに基づいて、図示を省略した表示信号生成回路から順次供給される1行分の表示データD0～D3を順次取り込み、各表示画素における発光輝度に対応した階調電流 $I_{pix}$ を生成して、各データラインDL1、DL2、・・・を介して供給（印加）する2組の階調電流生成回路群132C及び132Dと、システムコントローラからデータ制御信号として供給される切換制御信号SELに基づいて、上記階調電流生成回路群132C及び132Dのいずれか一方を選択的に動作させるための選択設定信号（切換制御信号SELの非反転信号SLa及び反転信号SLb）を生成する選択設定回路134Cと、階調電流生成回路群132C及び132Dを構成する各階調電流生成回路PXC1、PXC2、・・・及びPXD1、PXD2、・・・（以下、「階調電流生成回路PXA、PXB」とも記す）に共通の基準電流供給線Lsを介して一定の基準電流Irefを供給する（負極性の電流を供給して引き抜く）定電流発生源IRと、を備えて構成されている。

#### 【0132】

（階調電流生成回路PXA、PXB）

図13は、本実施例に係るデータドライバに適用される階調電流生成回路の一具体例を示す構成図である。ここでは、上述した電流駆動回路（図1、図2）の構成と対応付けながら説明する。また、上述した実施形態と同等の構成については、同等の符号を付してその説明を簡略化又は省略する。

#### 【0133】

階調電流生成回路群132C、132Dを構成する各階調電流生成回路PXC、PXDは、図13に示すように、図1に示した電流駆動回路ISA（データラッチ部10、電流生成部20A、特定状態設定部30A）と同等の構成を有するデータラッチ部10、電流生成部20C及び特定状態設定部30Cと、選択設定回路134Cから出力される選択設定信号（非反転信号SLa又は反転信号SLb）に基づいて、各階調電流生成回路PXC、PXDの動作状態を選択的に設定する動作設定部40Cと、を備えた構成を有している。

#### 【0134】



本実施例に係る階調電流生成回路 PXC、PXD に適用される動作設定部 40C は、例えば、図 13 に示すように、選択設定回路 134C から出力される選択設定信号（非反転信号 SL a 又は反転信号 SL b）を反転処理するインバータ 52 と、データライン DL に電流路が設けられ、制御端子に上記選択設定信号の反転信号（インバータ 42 の出力信号）が印加される p チャネル型トランジスタ TP41 と、選択設定信号の反転信号及び OR 回路群 300 からのタイミング制御信号 CLK を入力とする NAND 回路 43 と、該 NAND 回路 43 の論理出力を反転処理するインバータ 44 と、該インバータ 44 の反転出力をさらに反転処理するインバータ 45 と、を備えた構成を有している。

#### 【0135】

このような構成を有する階調電流生成回路 PXC、PXD においては、選択設定回路 134C から動作設定部 40C に選択レベル（ハイレベル）の選択設定信号（非反転信号 SL a 又は反転信号 SL b）が入力されると、インバータ 42 により信号極性が反転処理されて印加されることにより、p チャネル型トランジスタ TP41 がオン動作して、電流生成部 20C の電流出力端子 OUT i が、p チャネル型トランジスタ TP53 を介してデータライン DL に接続される。このとき同時に、NAND 回路 43 及びインバータ 44、45 により、タイミング制御信号 CLK の信号レベルに関わらずデータラッチ部 10 の非反転入力接点 CK にはローレベルのクロック信号が、また、反転入力接点 CK\* の制御端子にはハイレベルのクロック信号が定常的に入力される。これにより、データラッチ部 10 に保持されている表示データ D0～D3 に基づく反転出力信号 d10\*～d13\* が電流生成部 20C に供給され、該表示データ D0～D3 に応じた電流値を有する階調電流 I<sub>pix</sub> が生成されて、データライン DL を介して各表示画素に供給される。

#### 【0136】

一方、選択設定回路 134 から非選択レベル（ローレベル）の選択設定信号（非反転信号 SL a 又は反転信号 SL b）が入力されると、インバータ 42 により信号極性が反転処理されて印加されることにより、p チャネル型トランジスタ TP41 がオフ動作して、階調電流生成部 20C の電流出力端子 OUT i がデータ

ラインDLから切り離される。また、このとき同時に、NAND回路43及びインバータ44、45により、タイミング制御信号CLKの信号レベルに対応してデータラッチ部10の非反転入力接点CKにはハイレベルのクロック信号が、また、反転入力接点CK\*にはローレベルのクロック信号が入力されて、データラッチ部10に表示データD0～D3が取り込み保持される。

#### 【0137】

これにより、選択レベルの選択設定信号が入力された場合には、データラッチ部10から出力される反転出力信号d10\*～d13\*に基づいて、電流生成部20Cにおいて、表示データD0～D3に応じた階調電流I<sub>pix</sub>が生成されて、データラインDLを介して表示画素に供給されることになり、階調電流生成回路PXC又はPXDが選択状態に設定される。一方、非選択レベルの選択設定信号が入力された場合には、データラッチ部10において、表示データD0～D3を取り込んで保持するものの、階調電流I<sub>pix</sub>は生成されず、データラインDLには供給されないことになり、階調電流生成回路PXC又はPXDが非選択状態に設定される。

#### 【0138】

したがって、後述する選択設定回路134Cにより、2組の階調電流生成回路群132C及び132Dに inputsする選択設定信号（切換制御信号SELの非反転信号SLa又は反転信号SLb）の信号レベルを適宜設定することにより、2組の階調電流生成回路群132C及び132Dのいずれか一方を選択状態とし、他方を非選択状態に設定することができる。

#### 【0139】

（反転ラッチ回路133C／選択設定回路134C）

反転ラッチ回路133C又は選択設定回路134Cは、概略、シフトクロック信号SFC又は切換制御信号SELが印加されると、当該信号レベルが保持されて、該信号レベルの非反転信号及び反転信号が、各々非反転出力端子及び反転出力端子から出力され、シフトレジスタ回路131Cに対して非反転クロック信号CKa及び反転クロック信号CKbとして、また、階調電流生成回路群132C（各階調電流生成回路PXC1、PXC2、・・・）及び132D（各階調電流

供給回路部 P X D 1、P X D 2、・・・) に対して非反転信号 S L a 及び反転信号 S L b (選択設定信号) として供給される。

#### 【0140】

(シフトレジスタ回路 131C)

シフトレジスタ回路 131C は、上述した反転ラッチ回路 133C から出力される非反転クロック信号 C K a 及び反転クロック信号 C K b に基づいて、システムコントローラから供給されるシフトスタート信号 S T R を取り込み、所定のタイミングで順次シフトしつつ、該シフト信号 S R 1、S R 2、・・・を階調電流生成回路群 132C 及び 132D に出力する。

#### 【0141】

(データドライバの制御動作)

図 14 は、本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

本実施形態に係るデータドライバの制御動作は、まず、2組の階調電流生成回路群のうち、一方を非選択状態に設定し、該階調電流生成回路群に設けられた各階調電流生成回路(データラッチ部)に、各表示画素に対応した表示データ D 0 ~ D 3 を順次取り込み保持する信号保持動作と、該階調電流生成回路群を選択状態に設定し、各階調電流生成回路(特定状態設定部)を介して、各データライン D L に特定電圧(リセット電圧) V in を一斉に印加して蓄積電荷を放電するリセット動作と、各階調電流生成回路(電流生成部)により、上記信号保持動作において保持した表示データ D 0 ~ D 3 に対応する階調電流 I pix を生成して各データライン D L を介して各表示画素に順次供給する電流生成供給動作と、を設定することにより実行され、さらに、このような一連の動作が、2組の階調電流生成回路群により交互に連続的に実行される。

#### 【0142】

本実施形態に係るデータドライバにおける制御動作は、図 14 に示すように、まず、システムコントローラから切換制御信号 S E L が供給されることにより、選択設定回路 134C により一方の階調電流生成回路群(例えば、階調電流生成回路群 132C)が非選択状態に設定された後、信号保持動作において、シフト

レジスタ回路 131C から順次出力されるシフト信号 SR1、SR2、・・・に基づいて、階調電流生成回路群 132C を構成する各階調電流生成回路 PXC1、PXC2、PXC3、・・・に、各列の表示画素（すなわち、各データライン DL1、DL2、・・・）に対応して切り替わる表示データ D0～D3 を順次取り込み、保持する動作が 1 行分連続的に実行される。

#### 【0143】

次いで、リセット動作においては、システムコントローラから切換制御信号 SEL が供給されることにより、選択設定回路 134C が選択状態に設定された後、リセット制御信号 RST が供給されることにより、該階調電流生成回路群 132C の各階調電流生成回路 PXC1、PXC2、PXC3、・・・に、特定状態（黒表示状態に相当する）に対応した表示データ D0～D3 が一斉に取り込まれる。これにより、各階調電流生成回路 PXC1、PXC2、PXC3、・・・から各データライン DL に対して特定電圧（リセット電圧） $V_{in}$ が一斉に印加され、各データライン DL1、DL2、・・・及び表示画素 EM に付加された容量成分に蓄積された電荷が放電される。

#### 【0144】

次いで、電流生成供給動作においては、上記信号保持動作において各階調電流生成回路 PXC1、PXC2、PXC3、・・・（データラッチ部）に保持された表示データ D0～D3 に基づいて、各々異なる比率の電流値を有するように設定された複数の単位電流を選択的に合成することにより、各表示画素における輝度階調を規定する階調電流  $I_{pix}$  を生成して、各データライン DL1、DL2、DL3、・・・を介して表示画素 EM に順次供給される。

#### 【0145】

そして、このような一連の動作は、図 14 に示すように、2 組の階調電流生成回路群 132C、132D により交互に繰り返し実行される。すなわち、一方の階調電流生成回路群 132C の非選択期間において、表示データを取り込む信号保持動作を実行しつつ、他方の階調電流生成回路群 132D の選択期間において、リセット動作を実行した後、先のタイミングで取り込んだ表示データに基づく階調電流を生成して、供給する電流生成供給動作を平行して実行し、また、一方

の階調電流生成回路群 132C の選択期間において、リセット動作及び電流生成供給動作を実行しつつ、他方の階調電流生成回路群 132D の非選択期間において、次の表示データを取り込む信号保持を実行する動作を、交互に繰り返し実行する。

#### 【0146】

したがって、本実施形態に係るデータドライバ 130C を適用した表示装置においても、リセット動作によりデータラインや表示画素に付加された容量成分に蓄積された電荷を十分に放電して、所定の低電位状態に初期化し、その後、表示パネル（表示画素）に供給される各階調電流を、一定電流値の基準電流及びデジタル信号からなる表示データに基づいて生成し供給することができるので、データラインや基準電流供給線等に付加する容量成分の充放電動作に起因するデータドライバの動作速度の低下を抑制して、表示応答特性を向上させることができる。とともに、各データラインに対応して個別に設けられた階調電流供給回路により表示データに応じた適切な電流値を有する階調電流を生成して、各表示画素に供給することができ、良好な階調表示を実現することができる。

#### 【0147】

また、各データラインに対して、2組の階調電流生成回路（群）を備え、各階調電流生成回路の動作状態を交互に繰り返し実行することにより、データドライバから各表示画素に対して継続的に、表示データに適切に対応した電流値を有する階調電流を供給することができるので、表示画素を所定の輝度階調で迅速に発光動作させることができ、表示装置の表示応答速度及び表示画質を一層向上させることができる。

#### 【0148】

なお、上述した各実施形態においては、表示データに基づく階調電流を表示画素に書き込む動作に先立って、データライン等に付加された配線容量（寄生容量）、あるいは、表示画素の保持容量等の容量成分に残留する電荷を所定の低電位電源（接地電位）に放電して、表示画素への階調電流の書込動作において、表示データに応じた的確な信号レベル（電位）に安定するまでに要する時間を短縮する構成及びその制御方法を、データドライバに適用した場合について説明したが

、本発明においては、このような技術思想を、各表示画素を構成する画素駆動回路に適用することもできる。以下、具体的に説明する。

#### 【0149】

##### <表示装置の第4の実施形態>

図15は、第4の実施形態に係る表示装置に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図であり、図16は、本実施形態に係る表示装置に適用される表示画素（画素駆動回路）の他の実施例を示す回路構成図である。なお、ここでは、図7に示した画素駆動回路に、本発明に係る電流駆動回路の技術思想を適用した構成を示し、同等の構成については同一の符号を付して説明する。また、本発明に係る電流駆動回路を適用し画素駆動回路の構成はこれに限定されるものではなく、上述したような一連の動作タイミング（書込動作、発光動作）で発光素子を発光動作させることができるものであれば、他の回路構成を有しているものであってもよく、例えば、図11に示した画素駆動回路にも適用することができる。

#### 【0150】

図15に示すように、本実施例に係る表示画素EM（画素駆動回路DCxa）は、図7に示した画素駆動回路DCxと同一の回路構成を有するトランジスタ群（pチャネル型トランジスタTr31、Tr33及びnチャネル型トランジスタTr32、Tr34）、保持容量（コンデンサCx）及び有機EL素子（負荷）OELに加え、接点Nxcと接地電位Vgnd間に電流路（ソースドレイン端子）が接続され、また、制御端子（ゲート端子）が走査ラインSLに並行に配設されたリセットラインRLに接続されたnチャネル型トランジスタ（特定状態設定手段）Tr35を備えた構成を有している。

#### 【0151】

なお、図15においては、リセット機能を有するnチャネル型トランジスタTr35を、接点Nxcと接地電位Vgnd間に接続した構成について示したが、本発明はこれに限定されるものではなく、図16に示すように、接点Nxaと接地電位Vgnd間に接続した構成を有する画素駆動回路DCxbであってもよい。また、図15、図16に示した画素駆動回路DCxa、DCxbにおいては、Tr32がnチャ

チャネル型トランジスタからなり、該制御端子が走査ラインSL（図7に示した走査ラインにSLaに相当する）に接続された回路構成を有しているが、画素駆動回路における動作機能は、図7に示したものと同等である。

#### 【0152】

このような構成において、図示を省略したシステムコントローラからリセットラインRLにハイレベルのリセット制御信号RSTが印加されることにより、nチャネル型トランジスタTr35がオン動作して、画素駆動回路DCxaの接点Nxc、又は、画素駆動回路DCxbの接点Nxaと接地電位間が電氣的に接続されることにより、各画素駆動回路DCxa、DCxbの保持容量（コンデンサCx）に蓄積されていた電荷が、該nチャネル型トランジスタTr35を介して接地電位に放電され、表示画素EMのリセット動作が実行される。

#### 【0153】

なお、本実施形態に適用可能なデータドライバとしては、上述した第1乃至第3の各実施形態に示したデータドライバ（図6、図10、図13参照）を良好に適用することもできるし、各実施形態に示した階調電流生成回路から特定状態設定部を省略した構成、さらには、従来技術に示したような周知の構成（図18、図19参照）を適用するものであってもよい。

#### 【0154】

（表示パネルの制御動作）

図17は、本実施形態に係るデータドライバ及び表示パネルにおける制御動作の一例を示すタイミングチャートである。ここでは、データドライバとして上述した第1の実施形態に示した構成（図1、図6参照）において、階調電流生成回路PXA（電流駆動回路ISA）の特定状態設定部30A、及び、OR回路群300Aを省略した構成を有しているものとして説明する。また、図9に示した表示パネル（表示画素）における制御動作を適宜参照しながら説明する。

#### 【0155】

本実施形態に係るデータドライバ及び表示パネル（表示画素EM）における制御動作は、まず、データドライバからの階調電流（負荷制御信号）の供給動作に先立って、各表示画素に付加された容量成分に蓄積された電荷を放電するリセッ

ト動作と、データドライバの各階調電流生成回路（データラッチ部）に、表示信号生成回路から供給される表示データを取り込み保持する信号保持動作と、該保持した表示データに基づいて階調電流  $I_{pix}$  を生成して各データライン DL に供給する電流生成供給動作と、を順次設定することにより実行される。

#### 【0156】

本実施形態に係るデータドライバ及び表示パネル（表示画素）における制御動作は、図 17 に示すように、まず、リセット動作において、図示を省略したデータドライバから表示データに応じた階調電流  $I_{pix}$  を生成してデータラインを介して供給する動作に先立って、該階調電流  $I_{pix}$  を書き込むために選択状態に設定される行の表示画素 EM 群に対して、システムコントローラからリセットライン RL を介して、ハイレベルのリセット制御信号を供給することにより、各表示画素 EM に設けられた n チャンネル型トランジスタ  $T_{r35}$  をオン動作させて、画素駆動回路 DCxa、DCxb の特定の接点 Nxc、Nxa を接地電位に接続する。これにより、画素駆動回路 DCxa、DCxb に設けられた保持容量（コンデンサ  $C_x$ ）等の容量成分に蓄積されていた電荷が接地電位に放電され、上記各接点 Nxc、Nxa の電位が所定の低電位状態に初期化（リセット）される。

#### 【0157】

次いで、信号保持動作において、上述した各実施形態と同様に、データドライバにより各列の表示画素 EM（各データライン DL）に対応して切り替わる表示データを順次取り込み、保持する動作が 1 行分連続的に実行され、電流生成供給動作において、上記保持された表示データに基づいて、各々異なる比率の電流値に設定された複数の単位電流を選択的に合成することにより、階調電流  $I_{pix}$  を生成して、各データライン DL を介して表示画素 EM に順次供給される。

#### 【0158】

そして、図 9 に示したような表示パネル（表示画素）における書込動作において、上記リセット動作により容量成分に蓄積された電荷を放電した表示画素群に対して、図示を省略した走査ドライバにより走査ライン SL に選択レベル（ハイレベル）の走査信号  $V_{sel}$  を印加することにより、上記電流生成供給動作によりデータドライバから各データライン DL に並列的に供給された階調電流  $I_{pix}$  を



一斉に書き込んで、コンデンサ  $C_x$  に電圧成分として保持し、その後の発光動作において、該保持された電圧成分に基づく発光駆動電流を有機 EL 素子 OEL に継続的に供給することにより、表示データに対応する輝度階調で各表示画素 EM (有機 EL 素子 OEL) が発光する。

#### 【0159】

これにより、本実施形態に係る表示パネル（表示画素）を適用した表示装置においても、リセット動作により表示画素に付加された容量成分に蓄積された電荷を良好に放電して、所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、有機 EL 素子に供給する発光駆動電流を表示データに応じた適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特性を向上させることができるとともに、各表示画素（有機 EL 素子）を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

#### 【0160】

また、本実施形態においては、表示画素（画素駆動回路）に、階調電流の書込動作に先立って蓄積電荷を放電するためのリセット機構（ $n$ チャネル型トランジスタ  $Tr35$  及びリセットライン  $RL$ ）を備えた構成を有しているので、上述したように、データドライバにおけるリセット機構（図 6 に示した各階調電流生成回路に設けられた特定状態設定部、及び、OR 回路群）を省略することができ、回路構成を簡略化して、表示装置の小型化を図ることができる。

#### 【0161】

なお、上述した各実施形態に係る表示装置においては、表示画素を構成する画素駆動回路から発光素子（有機 EL 素子）方向に発光駆動電流を流すように電流極性を設定した場合のみ示したが、本発明はこれに限定されるものではなく、発光素子の他端側に高電位電源を接続するとともに、発光素子の入出力端子を逆に接続して、発光素子から画素駆動回路方向に発光駆動電流が流れるように構成したものであってもよい。

## 【0162】

## 【発明の効果】

以上説明したように、本発明に係る電流駆動回路及びその制御方法によれば、有機EL素子等のように、電流値に応じて所定の駆動状態で動作する負荷に対して、所定の電流値を有する負荷駆動電流（階調電流）を個別に供給する電流駆動回路において、複数ビットのデジタル信号を並列的に保持するデータラッチ部と、該複数ビットのデジタル信号及び一定の基準電流に基づいて、負荷駆動電流を生成、出力する電流生成部と、少なくとも、負荷に付加された容量成分（寄生容量、保持容量）に蓄積された電荷を放電する特定状態設定部と、を備え、複数ビットのデジタル信号に基づいて生成された負荷駆動電流を負荷に出力する動作に先立って、負荷に付加された容量成分に蓄積された電荷を放電して、所定の低電位状態に設定（初期化、リセット）するように構成されているので、負荷駆動電流の生成に関連して供給されるデジタル信号や基準電流が電位変動をほとんど生じることがなく、駆動電流の電流値が微少な場合等であっても、上記制御信号を供給する信号線に付加する配線容量（寄生容量）への充放電動作に起因する信号遅延の影響を排除することができる。

## 【0163】

また、負荷駆動電流を供給するタイミングに先立って、駆動電流供給線や負荷の電位が一定の低電位状態にリセットされるので、例えば、負荷を比較的高い階調の駆動状態から比較的低い階調の駆動状態に移行させる場合等であっても、配線容量や保持容量等の容量成分に蓄積された電荷の影響を排除して、駆動電流供給線や負荷の信号レベルを迅速に、駆動電流に応じた適切な電位に安定化させることができる。

したがって、電流駆動回路の動作速度の低下を抑制して、負荷をより迅速かつ的確な駆動状態で動作させることができる。

## 【0164】

そして、本発明に係る表示装置においては、相互に直交する走査ライン及びデータラインの交点近傍に、発光素子を備えた表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、上述したような電流駆動回路をデー

タドライバに適用することにより、階調電流生成回路により表示画素に供給される階調電流が、一定の基準電流、及び、複数ビットのデジタル信号に基づいて生成されるので、表示画素を比較的低い輝度階調で発光動作させる場合や、表示パネルの高精細化等に伴って表示画素への階調電流の供給時間（選択時間）が短く設定されている場合であっても、階調電流の生成に関連してデータドライバに供給される信号による、データライン等への充放電動作に起因する伝達遅延の影響を排除することができ、データドライバの動作速度の低下を抑制して、表示装置における表示応答特性並びに表示画質の向上を図ることができる。

#### 【0165】

また、この場合、各表示画素への階調電流の供給動作に先立って、各データラインに一定の低電圧からなるリセット電圧（特定電圧）を印加して、データラインに付加された配線容量（寄生容量）や表示画素の保持容量等の容量成分に蓄積された電荷を充分放電することができるので、新たな表示データに基づく階調電流を書き込む場合（特に、比較的高い輝度階調で発光動作を行った直後に、比較的低い輝度階調で発光動作を行う場合や、表示画素の選択期間が短く設定されている場合であっても）、上記容量成分に残留する電荷による影響を排除することができ、信号レベルの安定化までの所要時間を短縮して表示画素への書込速度を高めて、表示装置の表示応答特性及び表示画質を向上させることができる。

#### 【0166】

また、本発明に係る表示装置においては、表示画素に設けられた保持容量に蓄積された電荷を、リセット電圧を印加することにより放電するスイッチ手段を備え、データドライバから表示データに応じた階調電流を、データラインを介して表示画素に供給する書込動作に先立って、上記スイッチ手段を制御して、残留電荷を接地電位に放電するように構成することができ、これにより、表示画素に付加された容量成分に蓄積された電荷を充分に放電して、所定の低電位状態に初期化することができるので、表示データに基づいて生成された階調電流に応じた適切な電荷量を蓄積することができ、発光素子に供給する発光駆動電流を適切な電流値に設定することができる。したがって、表示画素に付加された容量成分への充放電動作に起因する、表示パネルへの書込速度の低下を抑制して、表示応答特

性を向上させることができるとともに、各表示画素を表示データに応じた適切な輝度階調で発光動作させることができ、良好な階調表示を実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係る電流駆動回路の第 1 の実施形態を示す概略構成図である。

【図 2】

本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路概念図である。

【図 3】

本発明に係る電流駆動回路の第 2 の実施形態を示す概略構成図である。

【図 4】

本実施形態に係る電流駆動回路に適用される電流生成部の一具体例を示す回路構成図である。

【図 5】

本発明に係る電流駆動回路を適用可能な表示装置の第 1 の実施形態を示す概略ブロック図である。

【図 6】

本実施形態に係る表示装置の要部構成を示す概略構成図である。

【図 7】

本実施形態に適用される表示画素（画素駆動回路）の第 1 の実施例を示す回路構成図である。

【図 8】

本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

【図 9】

本実施形態に係る表示パネル（表示画素）における制御動作の一例を示すタイミングチャートである。

【図 10】

第2の実施形態に係る表示装置の要部構成を示す概略構成図である。

【図11】

本実施形態に適用される画素駆動回路の一実施例を示す回路構成図である。

【図12】

第3の実施形態に係る表示装置に適用されるデータドライバの第3の実施例を示す概略構成図である。

【図13】

本実施例に係るデータドライバに適用される階調電流生成回路の一具体例を示す構成図である。

【図14】

本実施形態に係るデータドライバにおける制御動作の一例を示すタイミングチャートである。

【図15】

第4の実施形態に係る表示装置に適用される表示画素（画素駆動回路）の一実施例を示す回路構成図である。

【図16】

本実施形態に係る表示装置に適用される表示画素（画素駆動回路）の他の実施例を示す回路構成図である。

【図17】

本実施形態に係るデータドライバ及び表示パネルにおける制御動作の一例を示すタイミングチャートである。

【図18】

従来技術におけるデータドライバの一構成例を示す回路構成図である。

【図19】

従来技術におけるデータドライバの他の構成例を示す回路構成図である。

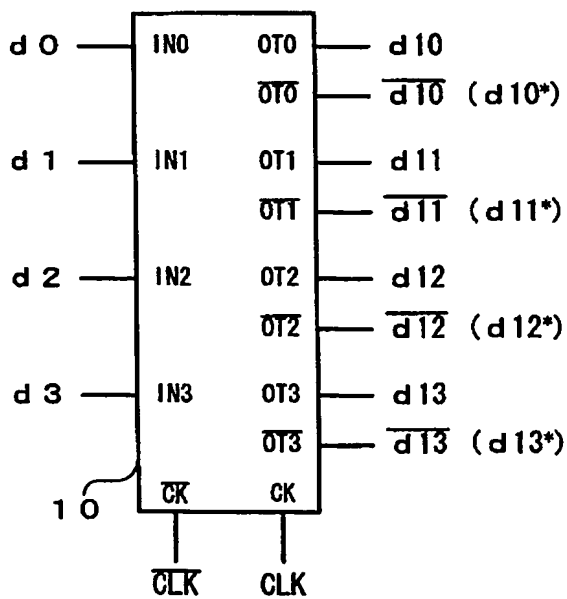
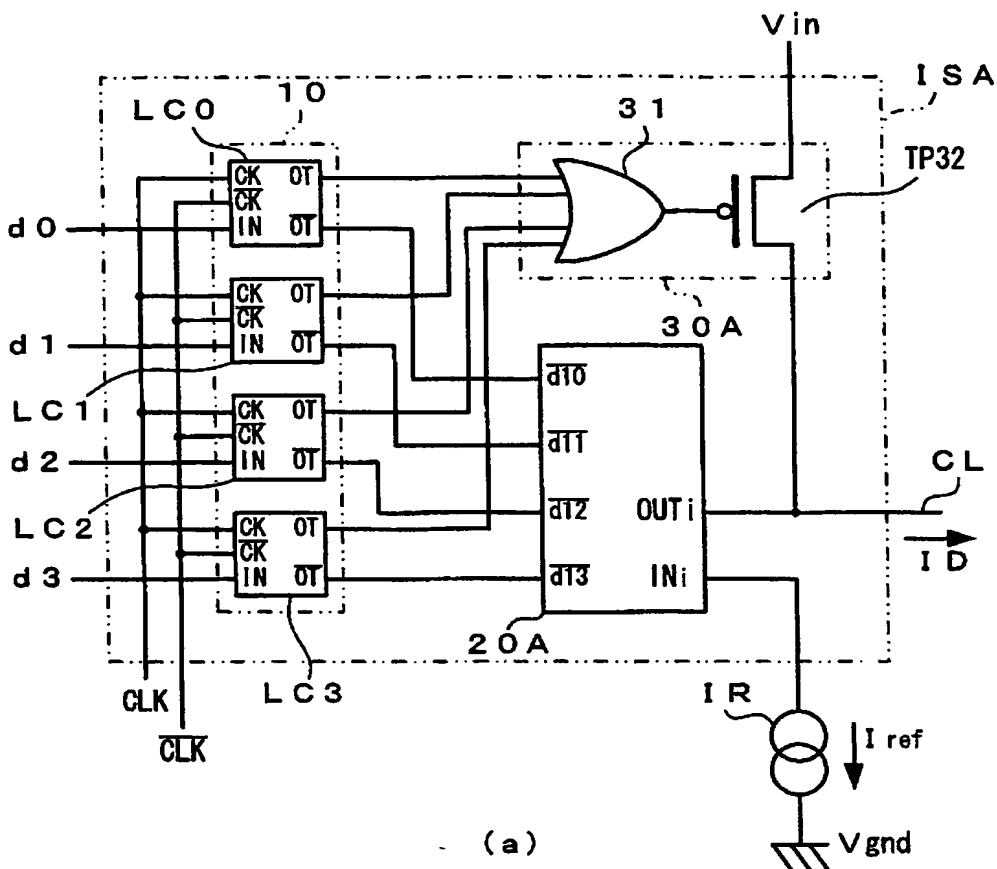
【符号の説明】

ISA、ISB	電流駆動回路
10	データラッチ部
20A、20B	電流生成部

21A、21B	カレントミラー回路部
22A、22B	スイッチ回路部
30A、30B	特定状態設定部
100A	表示装置
110A	表示パネル
120A	走査ドライバ
130A~130C	データドライバ
IR	定電流発生源
PXA~PXD	階調電流生成回路
DCx、DCy	画素駆動回路

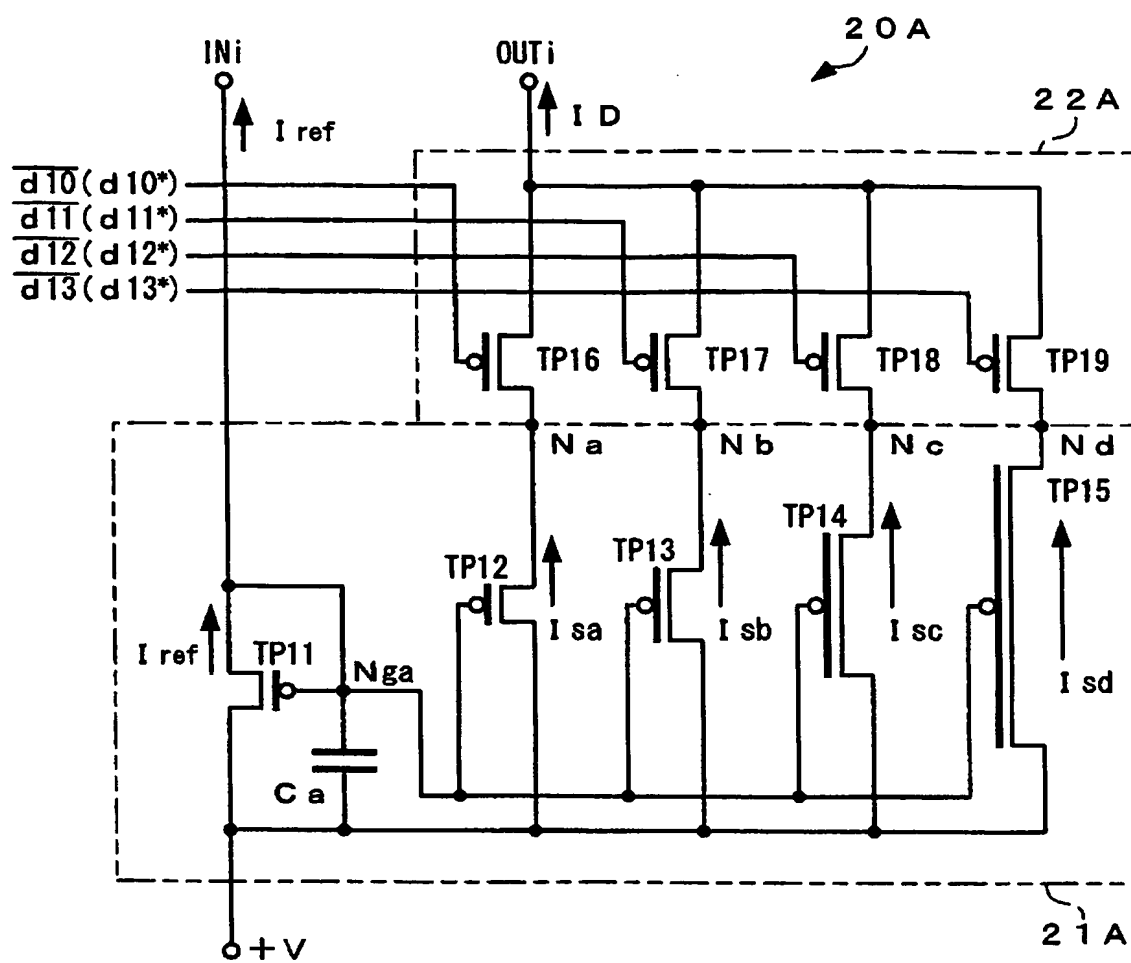
【書類名】 図面

【図 1】



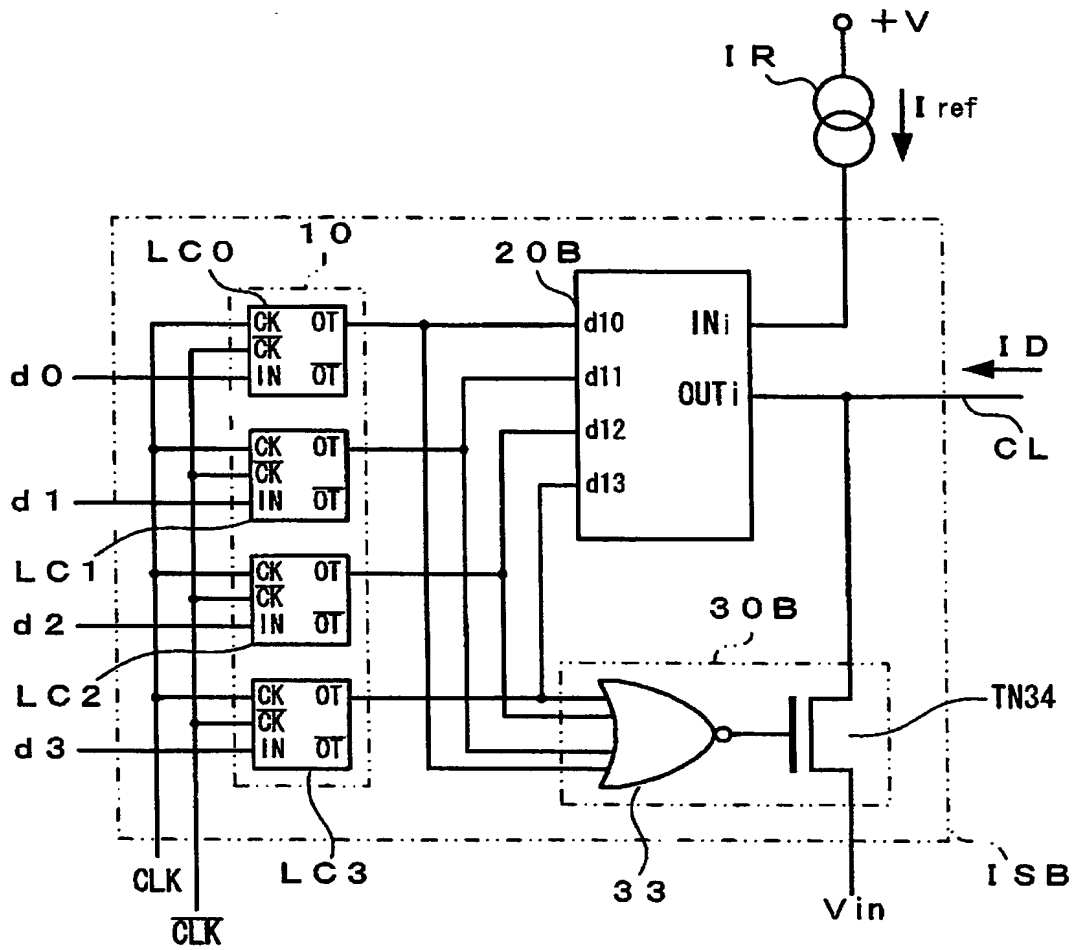
(b)

【図 2】

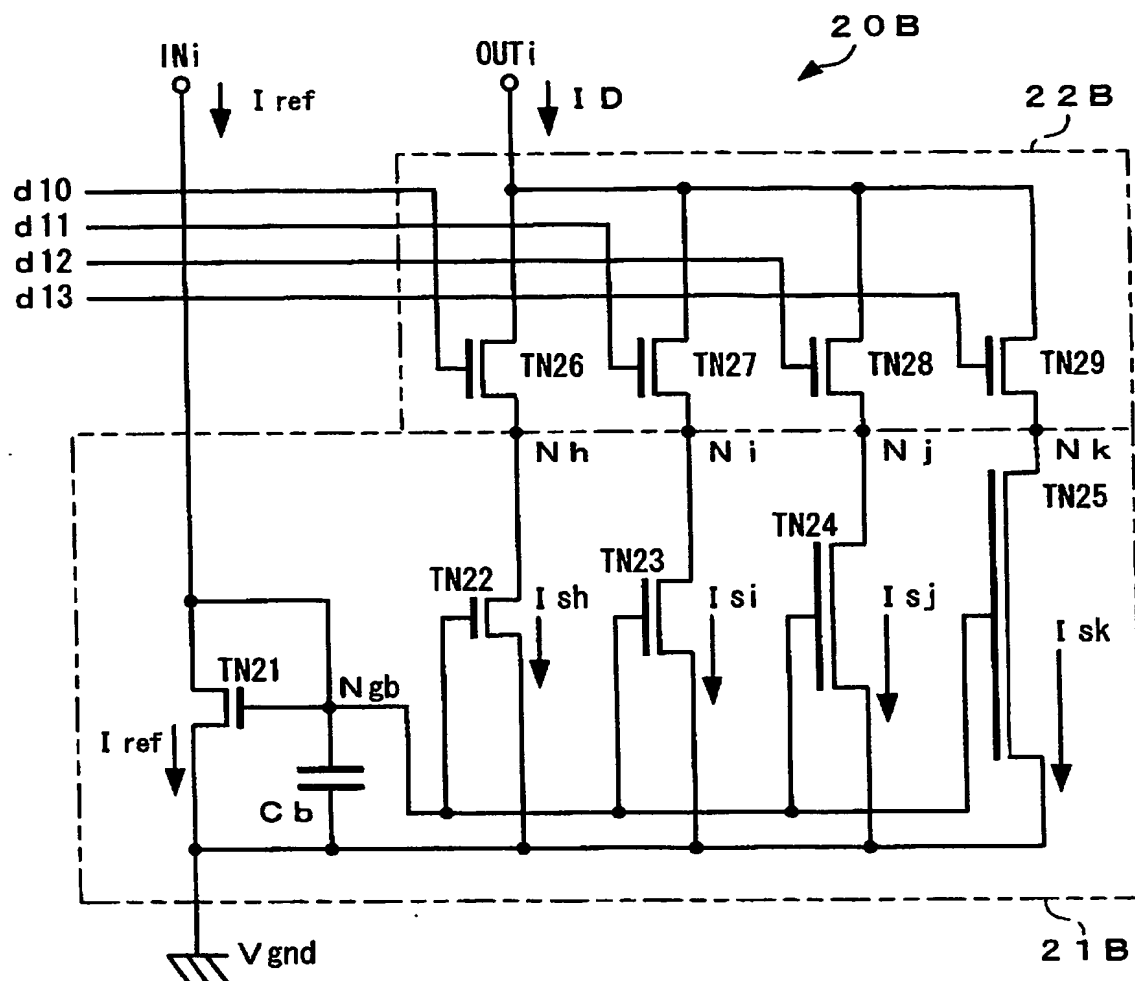




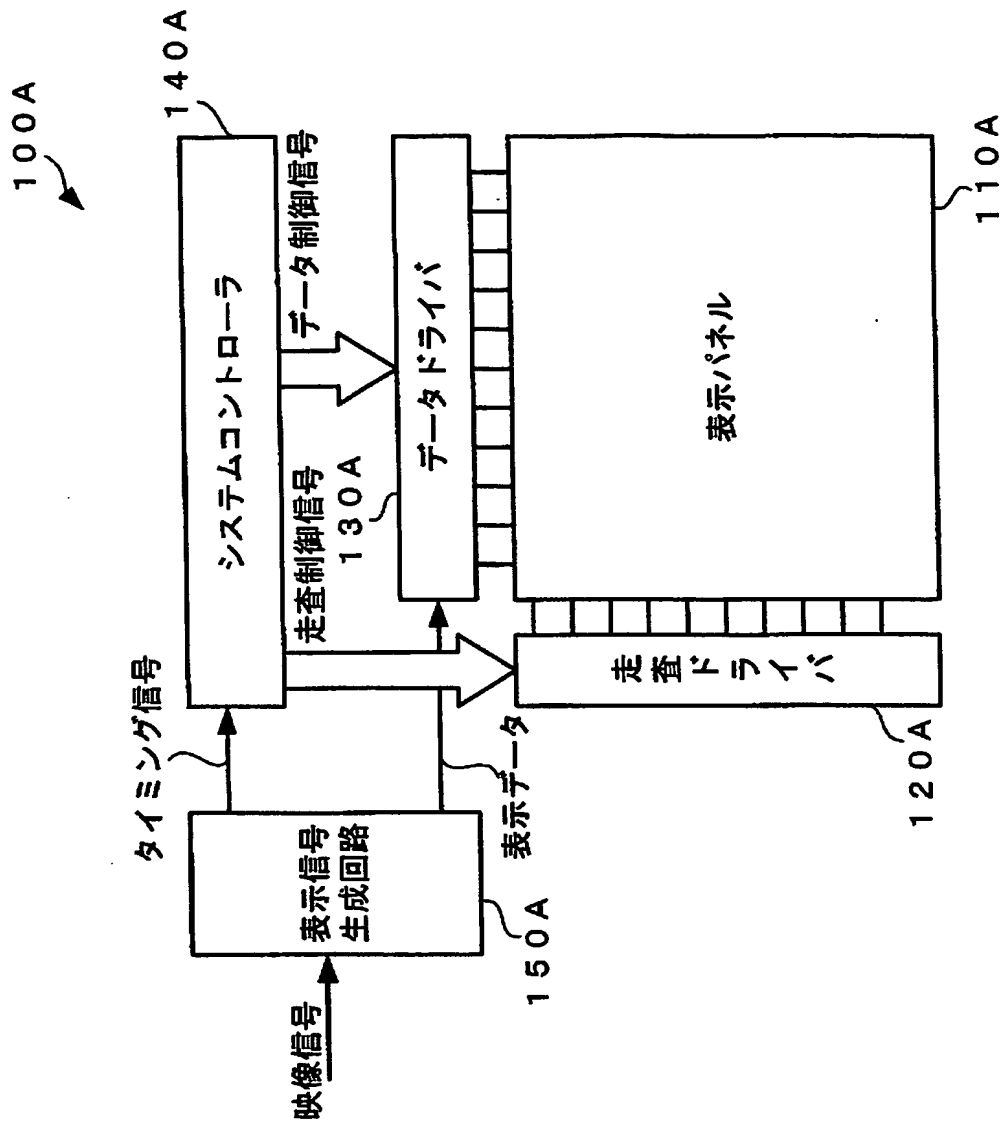
【図 3】



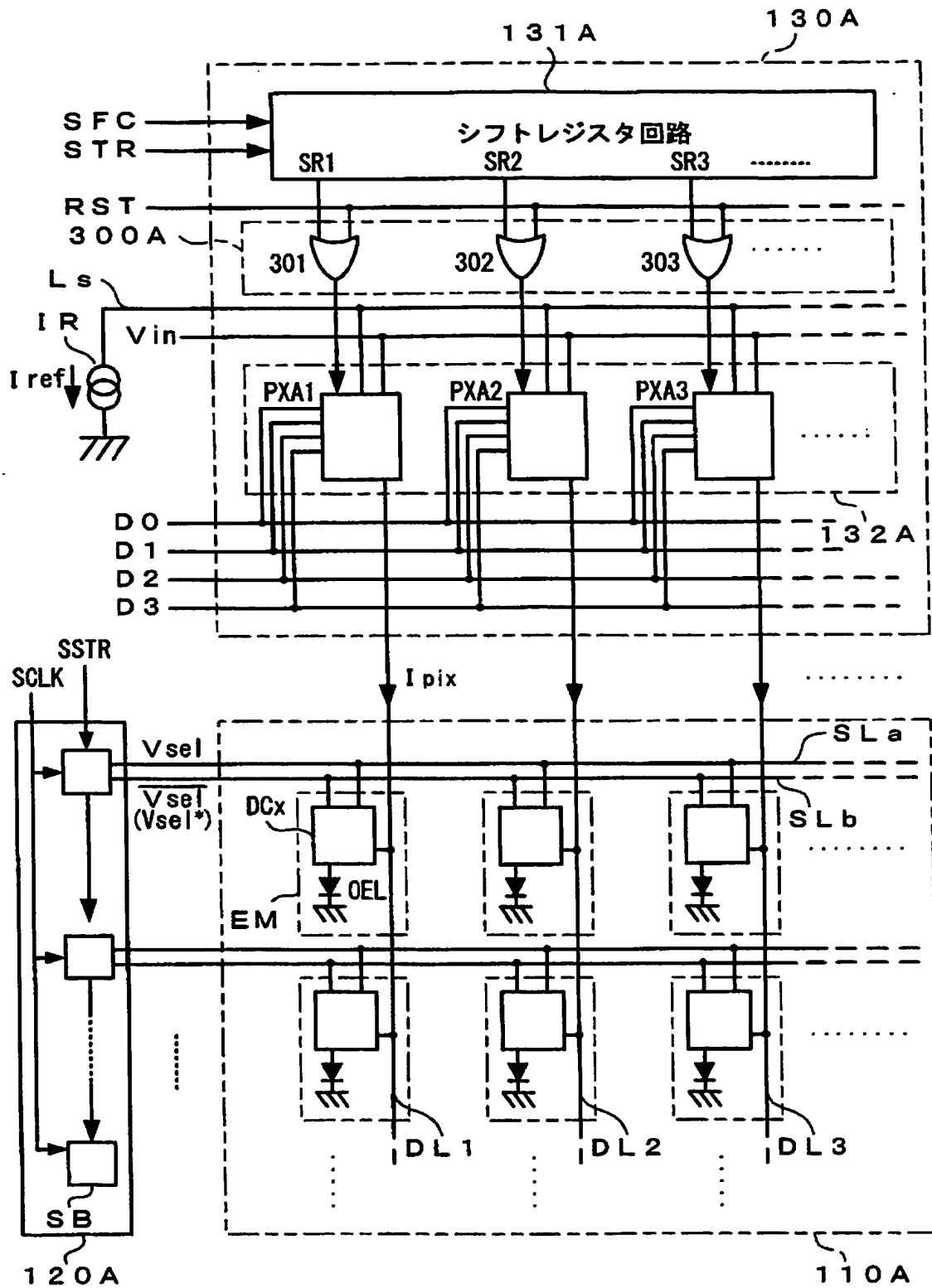
【図 4】



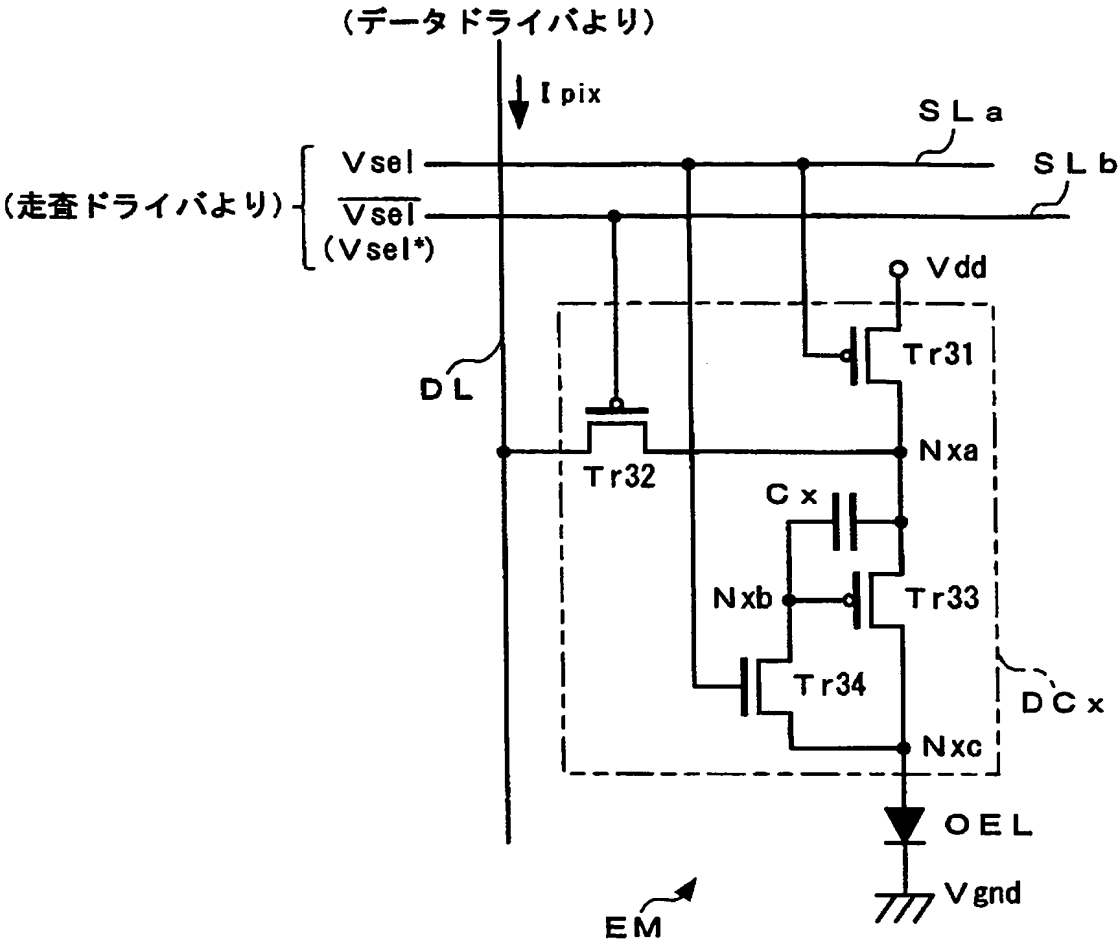
【図 5】



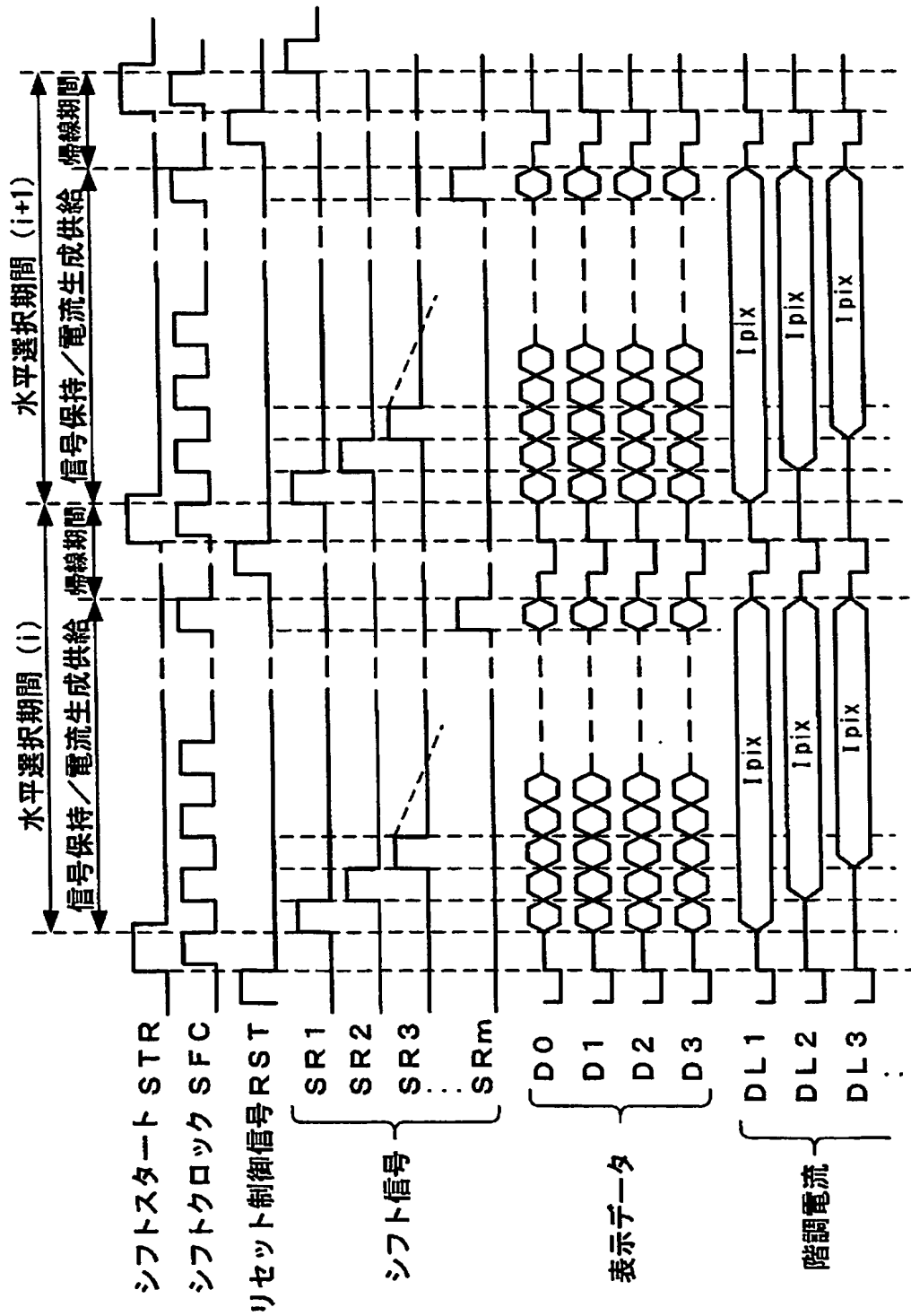
【図 6】



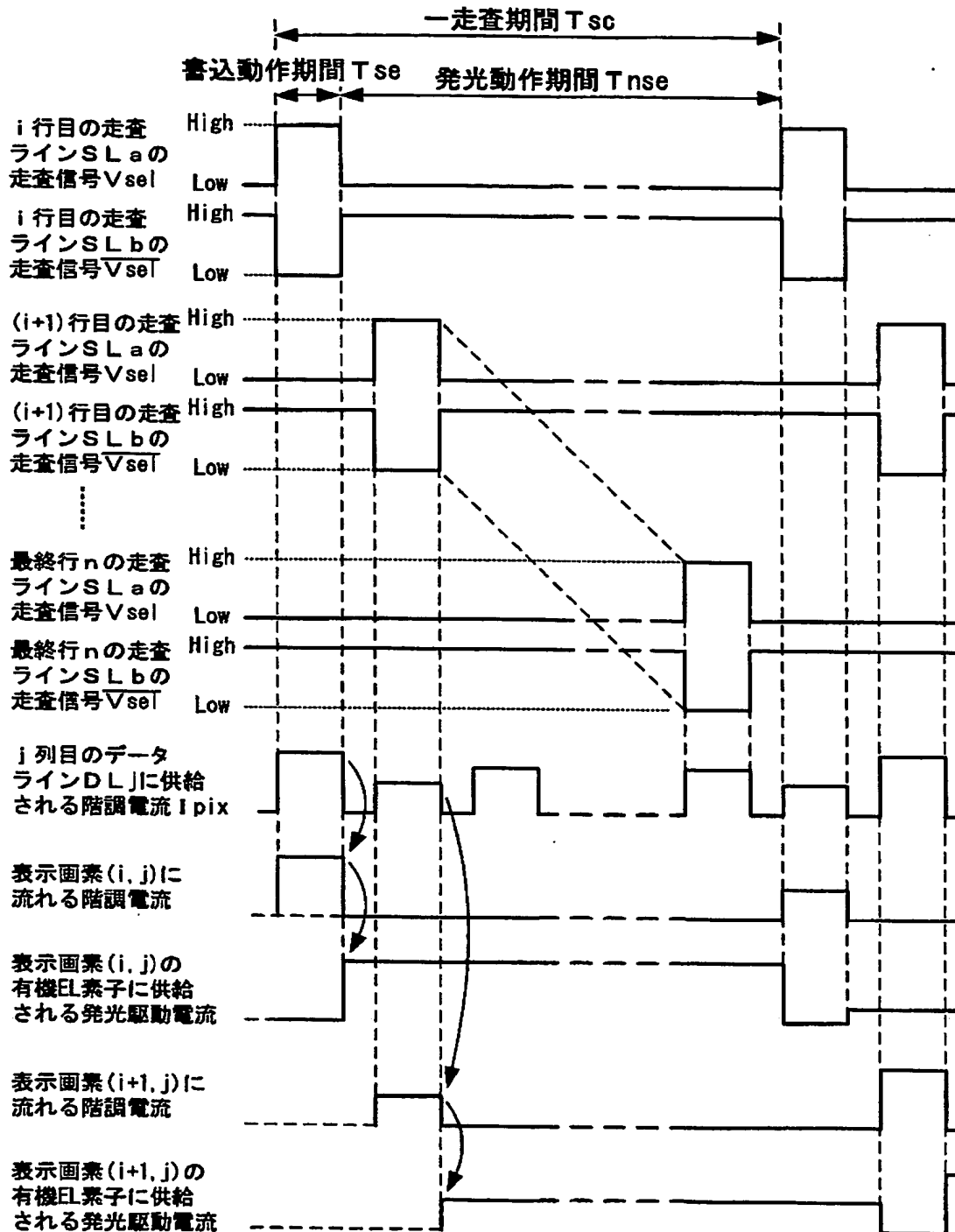
【図 7】



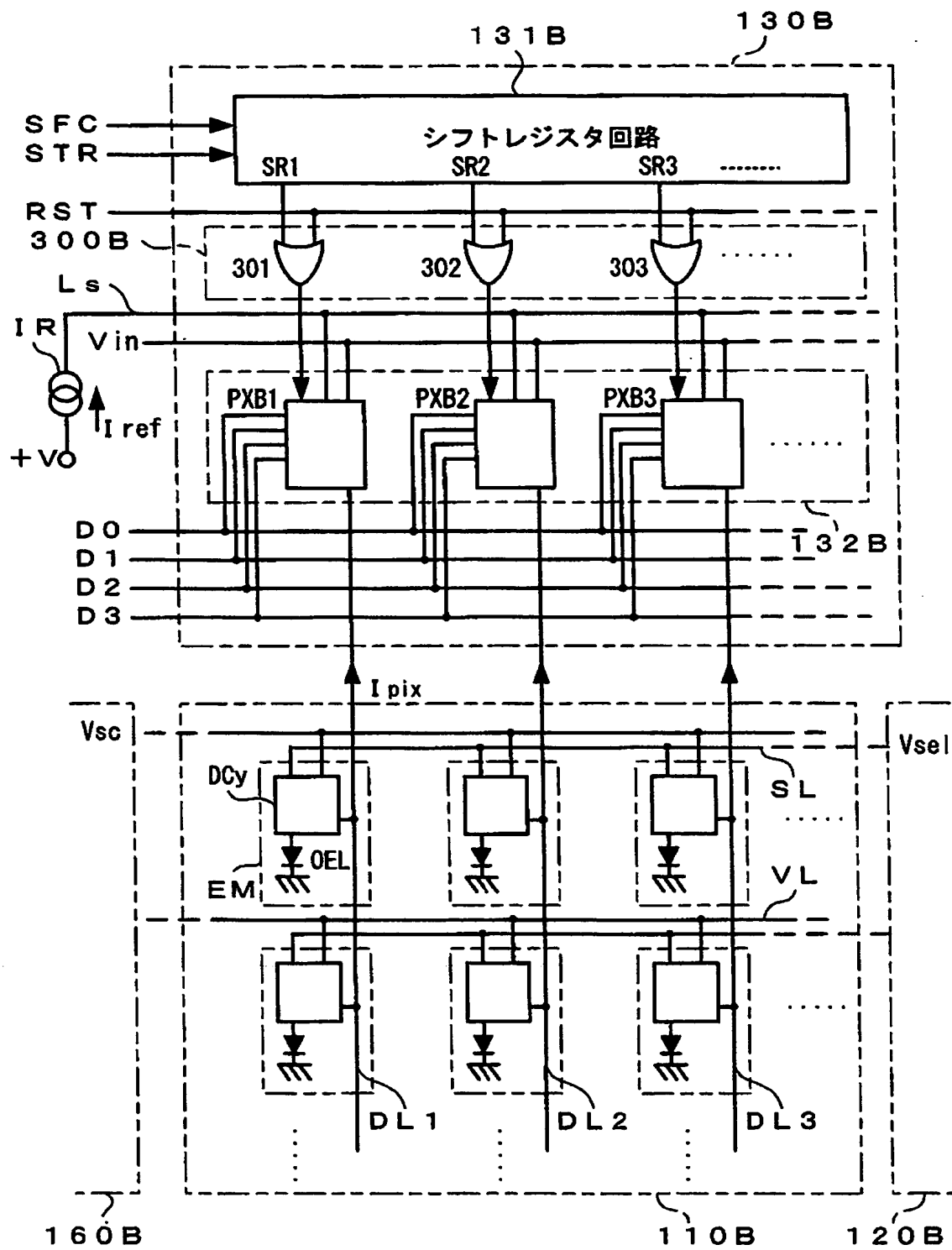
【図8】



【図 9】

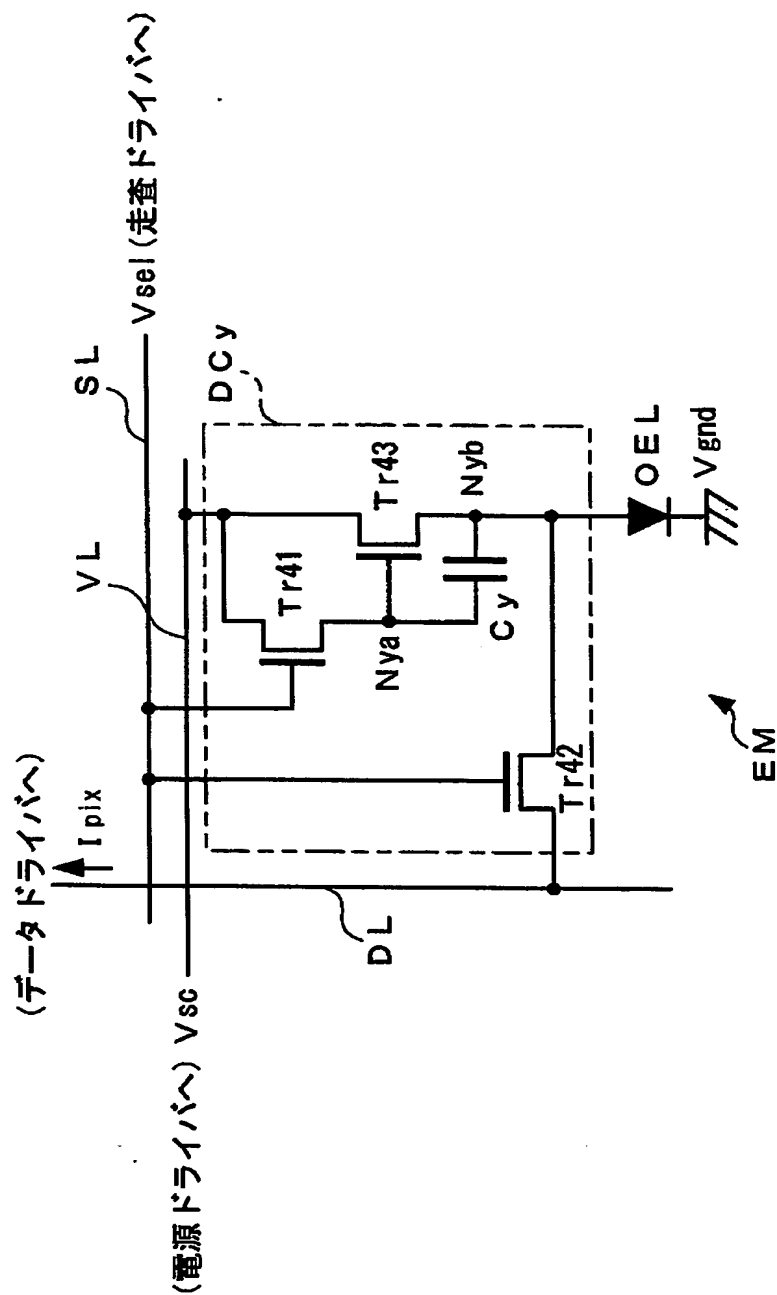


【図 10】



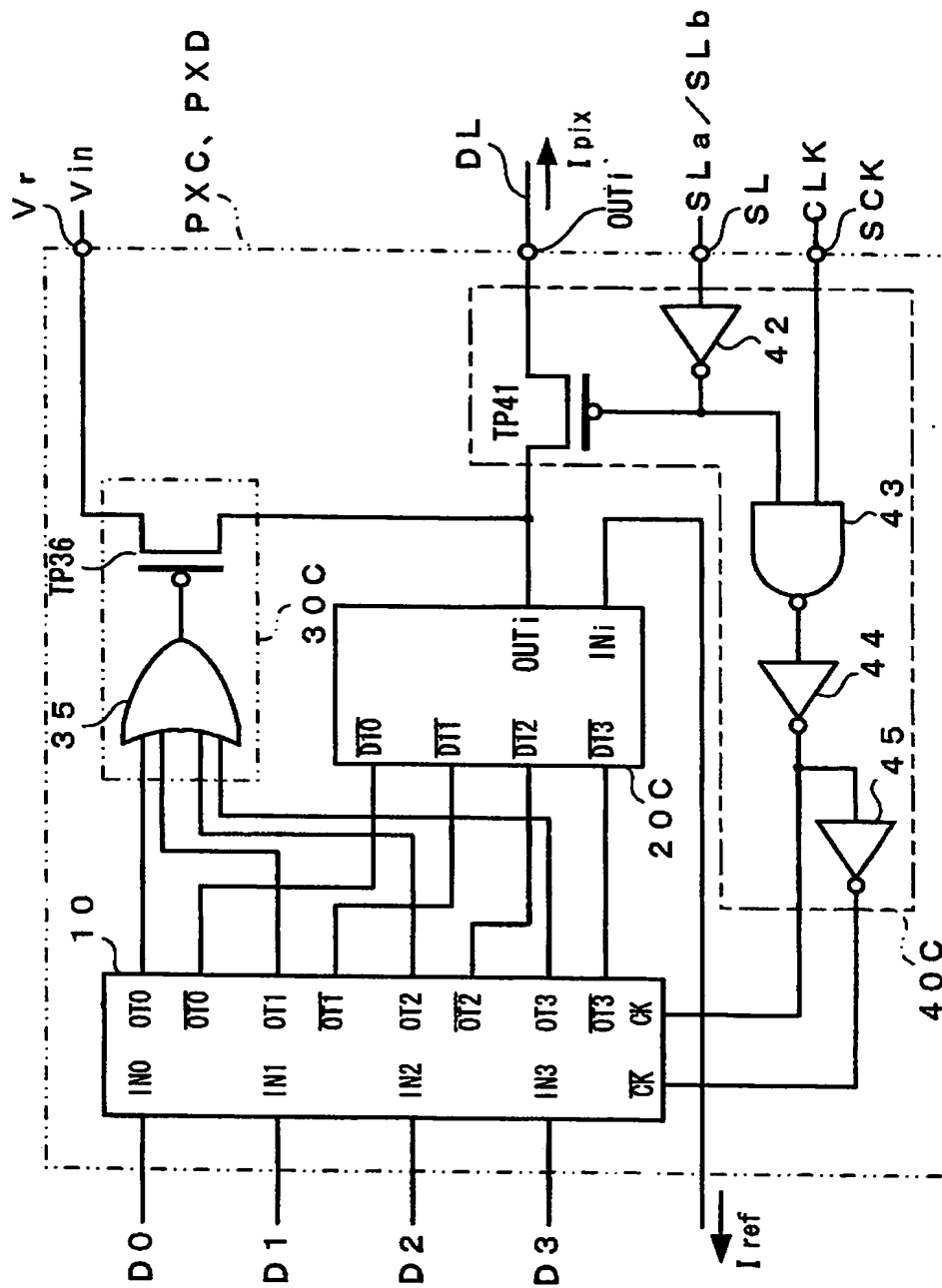


【図 11】

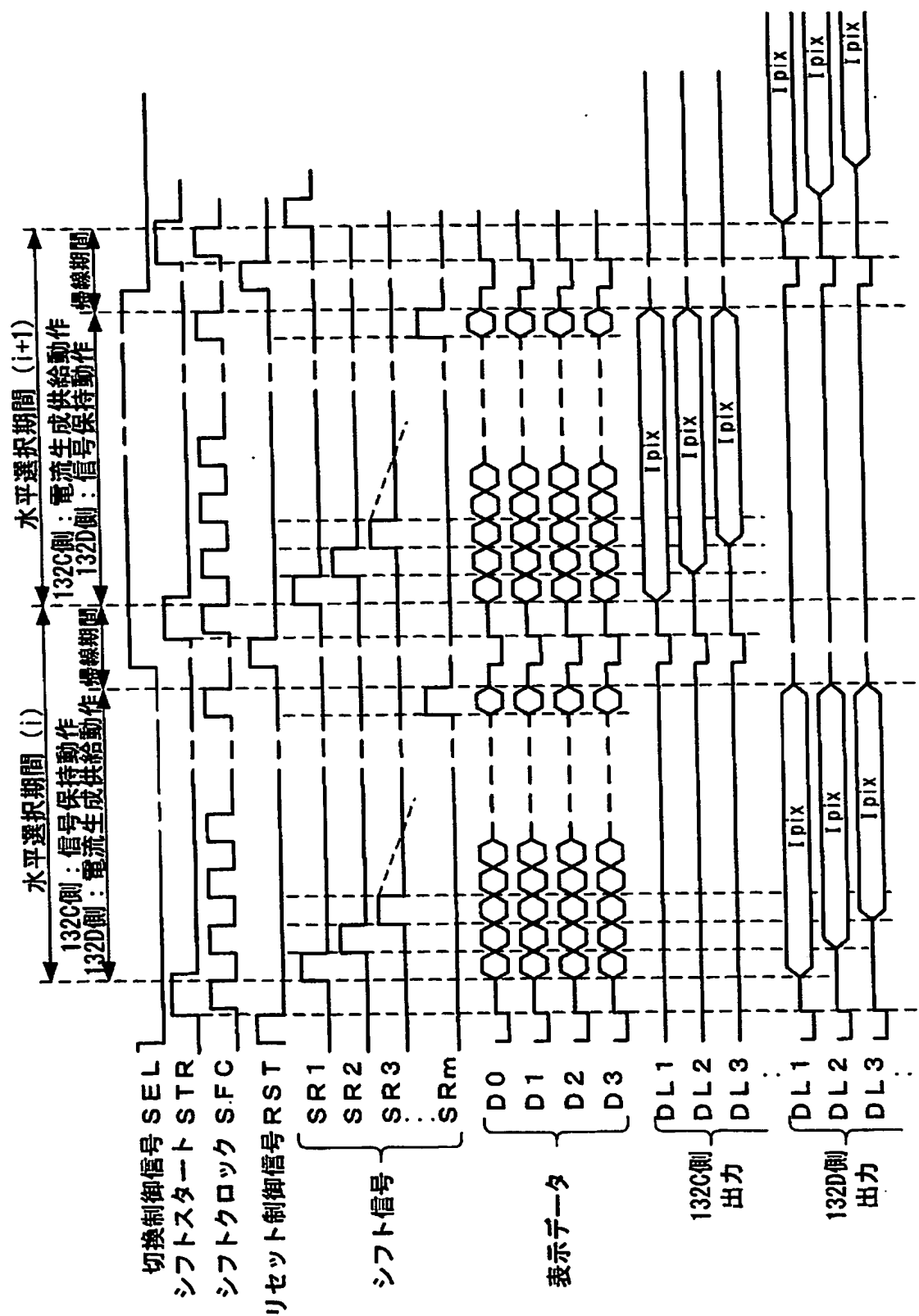




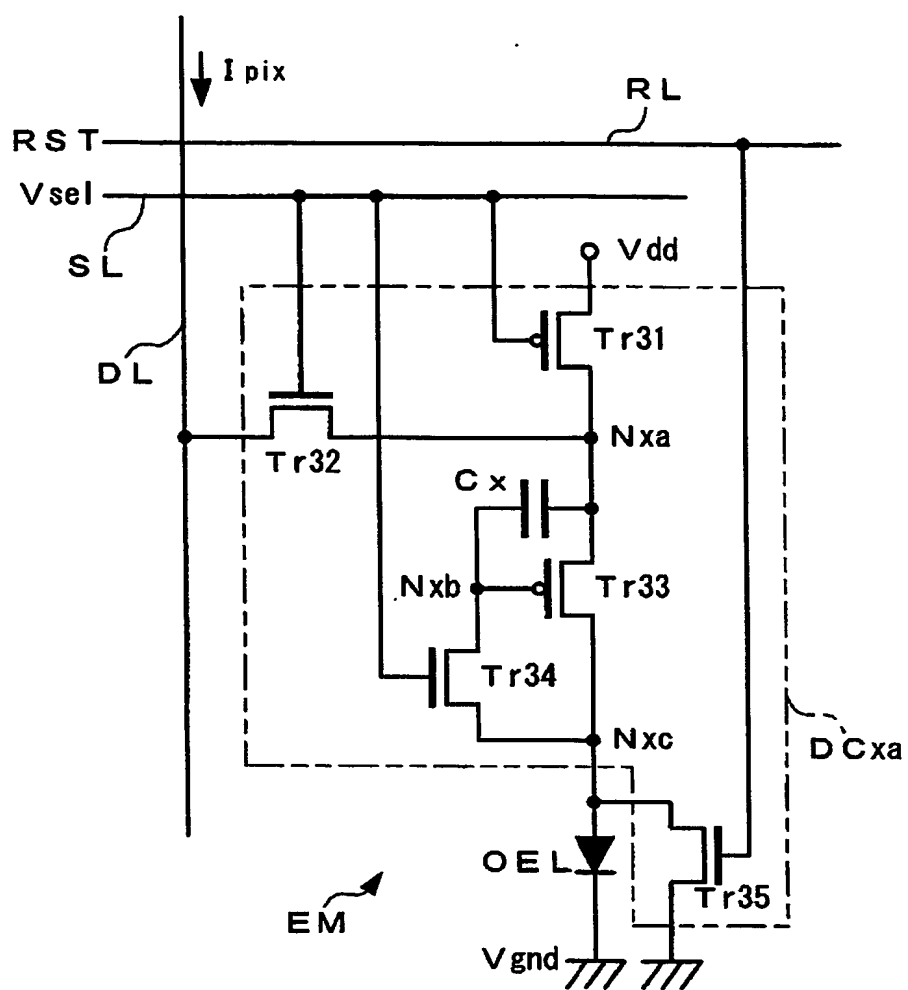
【図 13】



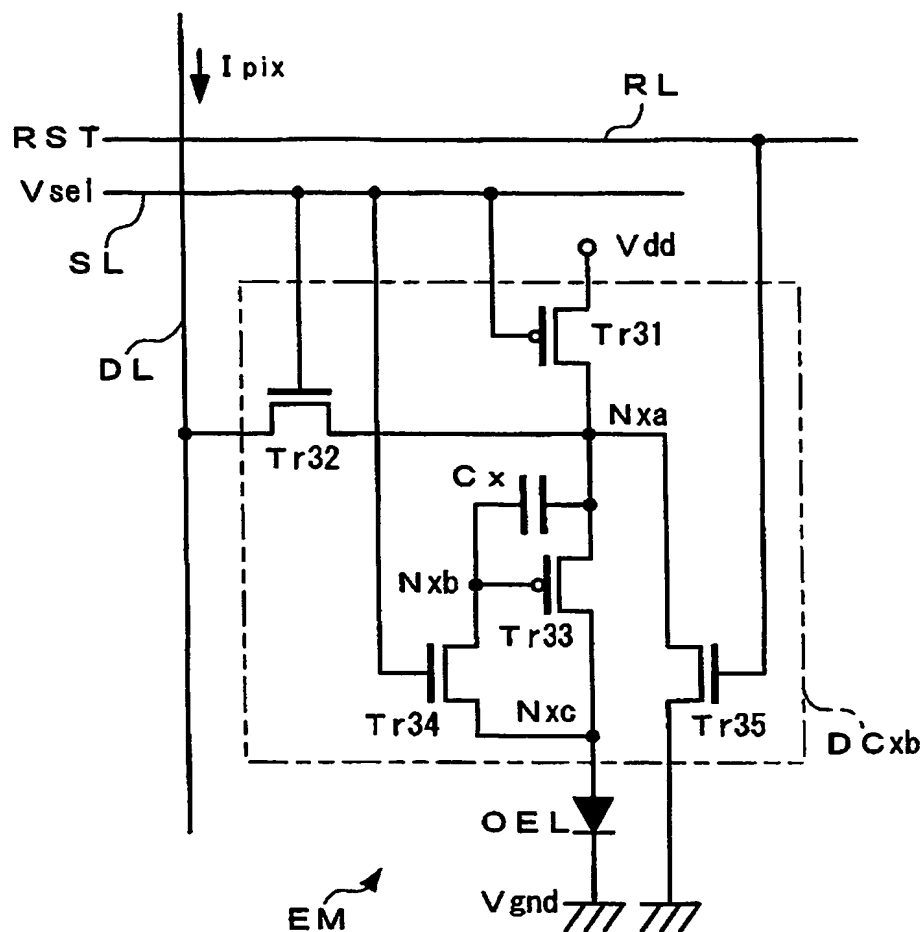
【図14】



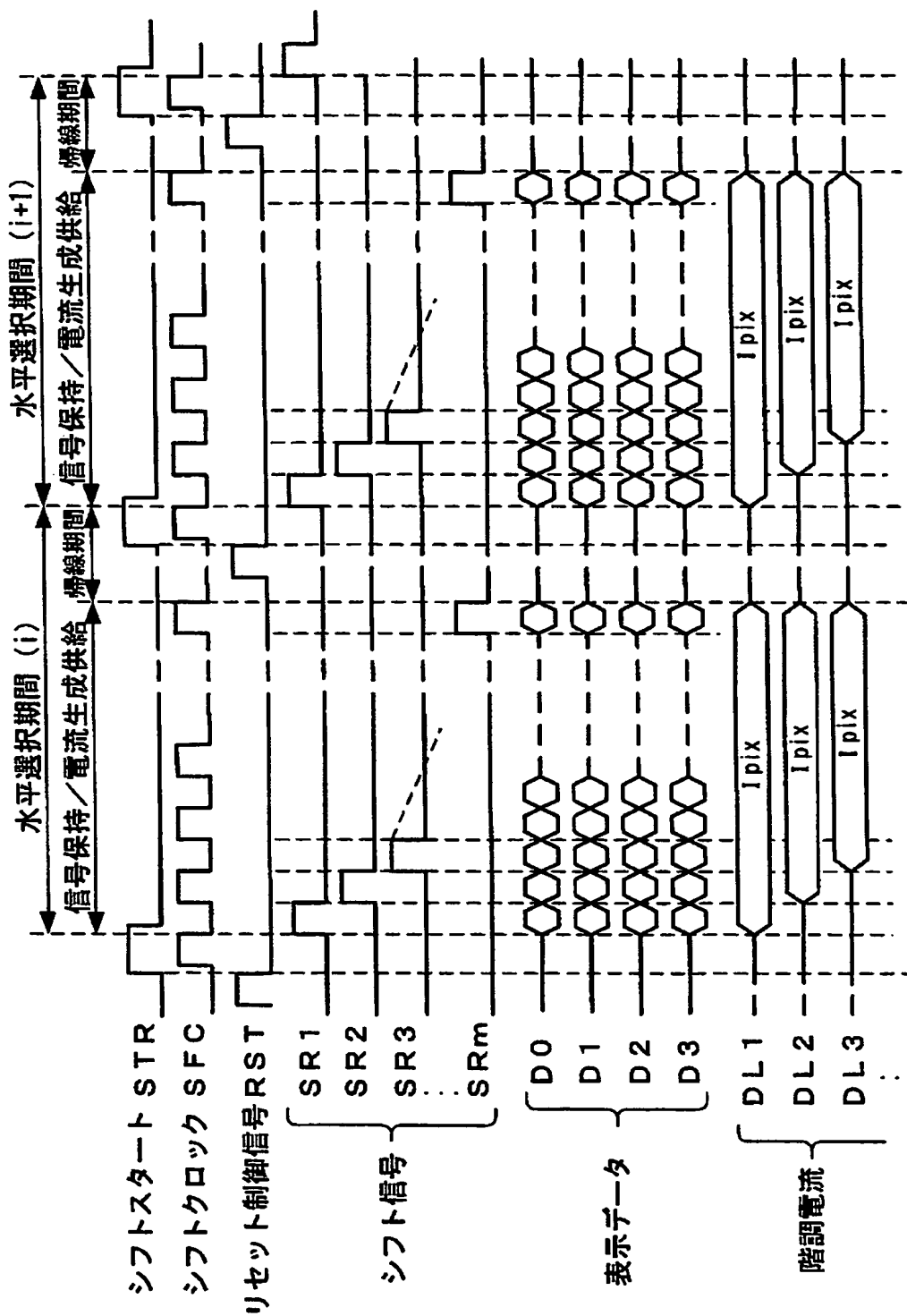
【図 15】



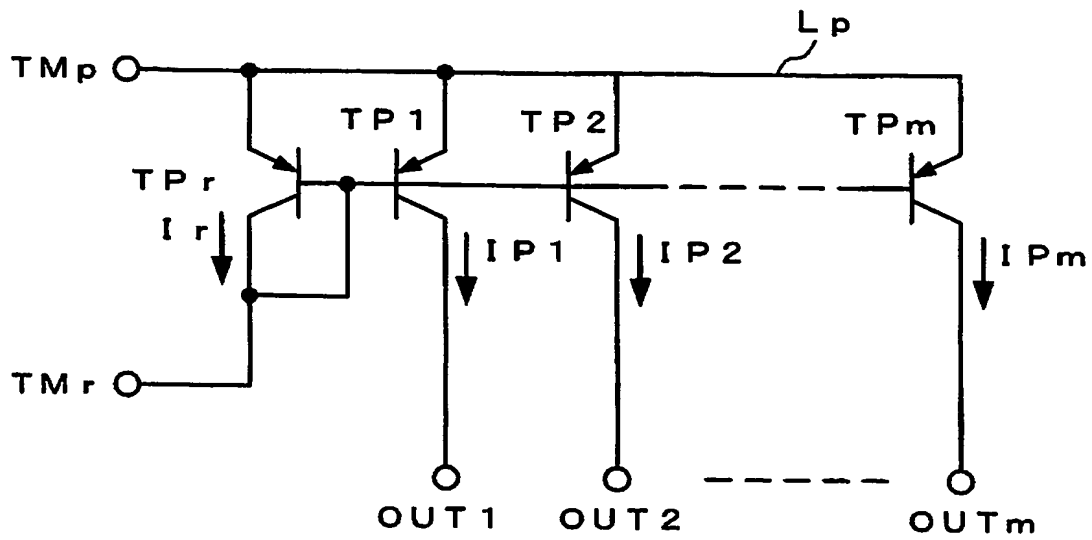
【図 16】



【図 17】

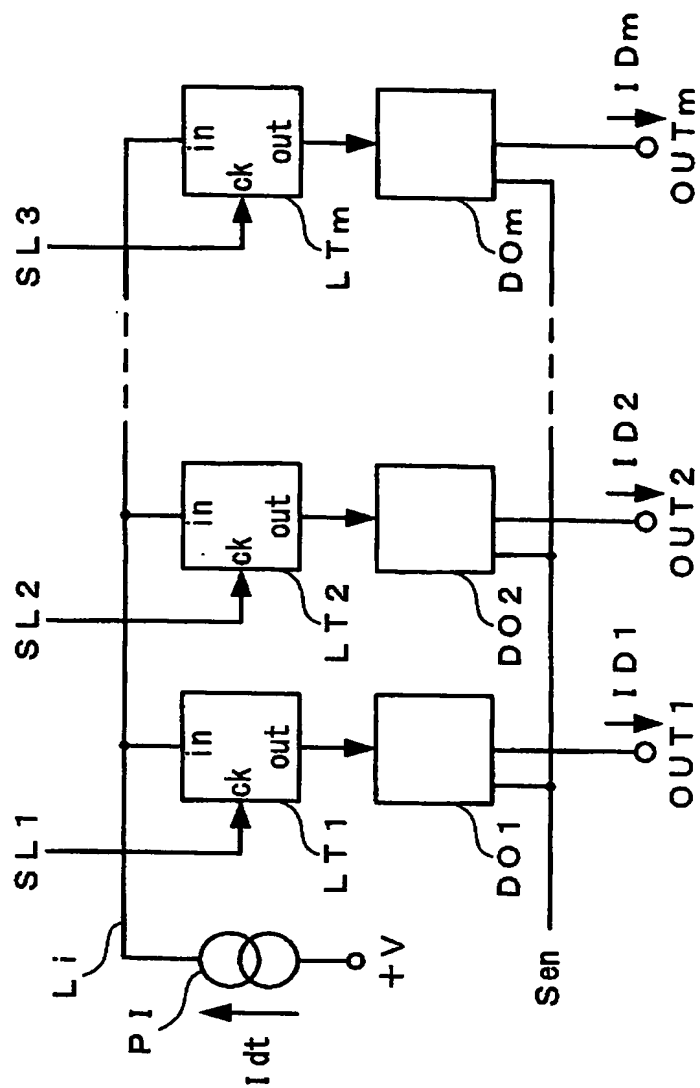


【図 18】





【図 19】



【書類名】 要約書

【要約】

【課題】 表示画素に供給される階調電流が微少な場合であっても、該階調電流を生成する動作を迅速に実行することができるとともに、表示データに対応した適切な電流値の階調電流を生成することができ、かつ、適切な輝度階調で表示画素を発光動作させることができる電流駆動回路及びその制御方法、並びに、該電流駆動回路を備えた表示装置を提供する。

【解決手段】 電流駆動回路 I S A は、データラッチ部 1 0 から出力される複数ビットのデジタル信号  $d_0 \sim d$  の反転出力信号  $d_{10}^* \sim d_{13}^*$  に基づいて、所定の電流値を有する負荷駆動電流 I D を生成し、駆動電流供給線 C L に出力する電流生成部 2 0 A と、データラッチ部 1 0 から出力される非反転出力信号  $d_{10} \sim d_{13}$  に基づいて、駆動電流供給線 C L に対して特定電圧  $V_{in}$  を印加する特定状態設定部 3 0 A と、を有している。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2003-170376
受付番号	50300999740
書類名	特許願
担当官	第一担当上席 0090
作成日	平成15年 6月17日

<認定情報・付加情報>

【提出日】	平成15年 6月16日
-------	-------------

次頁無

特願2003-170376

出願人履歴情報

識別番号

[000001443]

1. 変更年月日

1998年 1月 9日

[変更理由]

住所変更

住 所

東京都渋谷区本町1丁目6番2号

氏 名

カシオ計算機株式会社